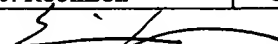


UTILITY PATENT APPLICATION TRANSMITTAL <i>(Only for new nonprovisional applications under 37 CFR 1.53(b))</i>				Attorney Docket No. 740756-2368	
				First Inventor Jun KOYAMA et al.	
				Title DISPLAY DEVICE	
				Express Mail Label No. _____	
APPLICATION ELEMENTS See MPEP chapter 600 concerning utility patent application contents.				ADDRESS TO: Assistant Commissioner for Patents Box Patent Application Washington, DC 20231	
1. <input checked="" type="checkbox"/> Fee Transmittal Form (e.g., PTO/SB/17) <i>(Submit an original and a duplicate for fee processing)</i> 2. <input type="checkbox"/> Applicant claims small entity status. See 37 CFR 1.27. 3. <input checked="" type="checkbox"/> Specification [Total Pages 78] <i>(preferred arrangement set forth below)</i> - Descriptive title of the invention - Cross Reference to Related Applications - Statement Regarding Fed sponsored R & D - Reference to sequence listing, a table, or a computer program listing appendix - Background of the Invention - Brief Summary of the Invention - Brief Description of the Drawings <i>(if filed)</i> - Detailed Description - Claim(s) - Abstract of the Disclosure 4. <input checked="" type="checkbox"/> Drawing(s) (35 U.S.C. 113) [Total Sheets 17] 5. Oath or Declaration [Total Pages 5] a. <input checked="" type="checkbox"/> Newly executed (original or copy) b. <input type="checkbox"/> Copy from a prior application (37 CFR 1.63(d)) <i>(for continuation/divisional with Box 18 completed)</i> i. <input type="checkbox"/> DELETION OF INVENTOR(S) Signed statement attached deleting inventor(s) named in the prior application, see 37 CFR 1.63(d)(2) and 1.33(b) 6. <input checked="" type="checkbox"/> Application Data Sheet. See 37 CFR 1.76				7. <input type="checkbox"/> CD-ROM or CD-R in duplicate, large table or Computer Program (Appendix) 8. Nucleotide and/or Amino Acid Sequence Submission <i>(if applicable, all necessary)</i> a. <input type="checkbox"/> Computer Readable Form (CRF) b. Specification Sequence Listing on: i. <input type="checkbox"/> CD-ROM or CD-R (2 copies; or ii. <input type="checkbox"/> paper c. <input type="checkbox"/> Statements verifying identity of above copies	
ACCOMPANYING APPLICATION PARTS					
9. <input checked="" type="checkbox"/> Assignment Papers (cover sheet & document(s)) 10. <input type="checkbox"/> 37 CFR 3.73(b) Statement <input type="checkbox"/> Power of <i>(when there is an assignee)</i> Attorney 11. <input type="checkbox"/> English Translation Document <i>(if applicable)</i> 12. <input checked="" type="checkbox"/> Information Disclosure <input checked="" type="checkbox"/> Copies of IDS Statement (IDS)/PTO-1449 Citations 13. <input checked="" type="checkbox"/> Preliminary Amendment 14. <input checked="" type="checkbox"/> Return Receipt Postcard (MPEP 503) <i>(Should be specifically itemized)</i> 15. <input checked="" type="checkbox"/> Certified Copy of Japanese Priority Document No. 2000-322121 Filed: October 23, 2000 <i>(if foreign priority is claimed)</i> 16. <input type="checkbox"/> Nonpublication request under 35 U.S.C. 122(b)(2)(B)(i). Applicant must attach form PTO/SB/35 or its equivalent. 17. <input type="checkbox"/> Other: _____					
18. If a CONTINUING APPLICATION, check appropriate box, and supply the requisite information below and in a preliminary amendment, or in an Application Data Sheet under 37 CFR 1.76: <input type="checkbox"/> Continuation <input type="checkbox"/> Divisional <input type="checkbox"/> Continuation-in-part (CIP) of prior application No.: _____/_____ Prior application information: Examiner _____ Group / Art Unit: _____					
For CONTINUATION OR DIVISIONAL APPS only: The entire disclosure of the prior application, from which an oath or declaration is supplied under Box 5b, is considered a part of the disclosure of the accompanying continuation or divisional application and is hereby incorporated by reference. The incorporation <u>can only</u> be relied upon when a portion has been inadvertently omitted from the submitted application parts.					
19. CORRESPONDENCE ADDRESS					
<input checked="" type="checkbox"/> Customer Number or Bar Code Label		22204 <i>(Insert Customer No. or Attach bar code label here)</i>		or <input checked="" type="checkbox"/> Correspondence address below	
Name	Eric J. Robinson				
Address	NIXON PEABODY LLP 8180 Greensboro Drive, Suite 800				
City	McLean	State	VA	Zip Code	22102
Country	United States	Telephone	(703) 790-9110	Fax	(703) 883-0370
Name (Print/Type)	Eric J. Robinson		Registration No. (Attorney/Agent)		38,285
Signature				Date	October 5, 2001

FEE TRANSMITTAL FOR FY 2001

Patent fees are subject to annual revision.

TOTAL AMOUNT OF PAYMENT \$4,104.00

Complete if Known	
Application Number	
Filing Date	October 5, 2001
First Named Inventor	Jun KOYAMA et al.
Examiner Name	
Group Art Unit	
Attorney Docket No.	740756-2368

J1040 U.S. PTO
09/970929
10/05/01

METHOD OF PAYMENT

1. ☒ The Commissioner is hereby authorized to charge indicated fees and credit any overpayments to:

Deposit Account Number 19-2380

Deposit Account Name Nixon Peabody LLP

- ☒ Charge Any Additional Fee Required Under 37 CFR 1.16 and 1.17

☐ Applicant claims small entity status. See 37 CFR 1.27

2. ☒ Payment Enclosed:

☒ Check ☐ Credit Card ☐ Money Order ☐ Other

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code	Large Entity Fee (\$)	Small Entity Fee Code	Small Entity Fee (\$)	Fee Description	Fee Paid
101	740	201	370	Utility filing fee	\$740
106	320	206	160	Design filing fee	
107	490	207	245	Plant filing fee	
108	710	208	355	Reissue filing fee	
114	150	214	75	Provisional filing fee	

SUBTOTAL (1) \$740.00

2. EXTRA CLAIM FEES

Total Claims	Extra Claims	Fee from below	Fee Paid
144	-20** = 124	X \$18	= \$2,232
Independent Claims	16	-3** = 13	X \$84 = \$1,092
Multiple Dependent		\$280	=

Large Entity Fee Code	Large Entity Fee (\$)	Small Entity Fee Code	Small Entity Fee (\$)	Fee Description
103	18	203	9	Claims in excess of 20
102	80	202	40	Independent claims in excess of 3
104	270	204	135	Multiple dependent claim, if not paid
109	80	209	40	** Reissue independent claims over original patent
110	18	210	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) \$3,324.00

**or number previously paid, if greater; For Reissues, see above

3. ADDITIONAL FEES

Fee Code	Large Entity Fee (\$)	Small Entity Fee Code	Small Entity Fee (\$)	Fee Description	Fee Paid
105	130	205	65	Surcharge - late filing fee or oath	
127	50	227	25	Surcharge - late provisional filing fee or cover sheet	
139	130	139	130	Non-English transaction	
147	2,520	147	2,520	For filing a request for <i>ex parte</i> reexamination	
112	920*	112	920*	Requesting publication of SIR prior to Examiner action	
113	1,840*	113	1,840*	Requesting publication of SIR after Examiner action	
115	110	215	55	Extension for reply within first month	
116	390	216	195	Extension for reply within second month	
117	890	217	445	Extension for reply within third month	
118	1,390	218	695	Extension for reply within fourth month	
128	1,890	228	945	Extension for reply within fifth month	
119	310	219	155	Notice of Appeal	
120	310	220	155	Filing a brief in support of an appeal	
121	270	221	135	Request for oral hearing	
138	1,510	138	1,510	Petition to institute a public use proceeding	
140	110	240	55	Petition to revive - unavoidable	
141	1,240	241	620	Petition to revive - unintentional	
142	1,240	242	620	Utility issue fee (or reissue)	
143	440	243	220	Design issue fee	
144	600	244	300	Plant issue fee	
122	130	122	130	Petitions to the Commissioner	
123	50	123	50	Processing fee under 37 CR 1.17(q)	
126	180	126	180	Submission of Information Disclosure Stmt	
581	40	581	40	Recording each patent assignment per property (times number of properties)	\$40.00
146	710	246	355	Filing a submission after final rejection (37 CFR § 1.129(a))	
149	710	249	355	For each additional invention to be examined (37 CFR § 1.29(b))	
179	710	279	355	Request for Continued Examination (RCE)	
169	900	169	900	Request for expedited examination of a design application	

Other fee (specify) _____

* Reduced by Basic Filing Fee Paid

SUBTOTAL (3) \$40.00

SUBMITTED BY

Name (Print/Type)		Registration No. (Attorney/Agent)		Telephone	
Eric J. Robinson		38,285		(703) 790-9110	
Signature		Date		October 5, 2001	

Complete (if applicable)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1040 U.S. PTO
09/970929
10/05/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月23日

出 願 番 号

Application Number:

特願2000-322121

出 願 人

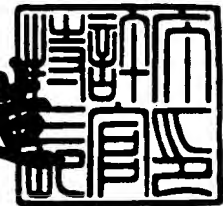
Applicant(s):

株式会社半導体エネルギー研究所

2001年 8月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3071659

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年10月23日

出 願 番 号
Application Number:

特願2000-322121

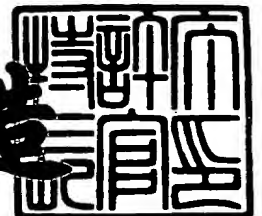
出 願 人
Applicant(s):

株式会社半導体エネルギー研究所

2001年 8月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3071659

【書類名】 特許願

【整理番号】 P005270

【提出日】 平成12年10月23日

【あて先】 特許庁長官 及川 耕造 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 熱海 知昭

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 三宅 博之

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、
前記ソース信号線駆動回路は、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフタと、前記レベルシフタに電流を供給する電流源とを有し、

前記電流源は、前記シフトレジスタから順次パルスが出力されている期間においてのみ、電流の供給を行うことを特徴とする表示装置。

【請求項 2】

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、
前記ソース信号線駆動回路は、第 1 ～ 第 x の x 個 (x は自然数、 $x \geq 2$) のユニットを有し、

第 a (a は自然数、 $1 \leq a \leq x$) のユニットは、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 a の電流源とを有し、

前記第 a の電流源は、前記第 a のユニットにおける前記シフトレジスタから順次パルスが出力されている期間においてのみ、前記第 a のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴とする表示装置。

【請求項 3】

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、
前記ソース信号線駆動回路は、第 1 ～ 第 x の x 個 (x は自然数、 $x \geq 2$) のユニットを有し、

第 b (b は自然数、 $1 < b \leq x$) のユニットは、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 b の電流源とを有し、

前記第 b の電流源は、第 $b - 1$ のユニットにおける前記シフトレジスタから順次パルスが出力されている期間の一部と、前記第 b のユニットにおける前記シフトレジスタから順次パルスが出力されている期間においてのみ、前記第 b のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴とする表示装置。

【請求項 4】

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、前記ソース信号線駆動回路は、第 1 ～ 第 x の x 個 (x は自然数、 $x \geq 2$) のユニットを有し、

第 c (c は自然数、 $1 \leq c < x$) のユニットは、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 c の電流源とを有し、

前記第 c の電流源は、第 $c + 1$ のユニットにおける前記シフトレジスタから順次パルスが出力されている期間の一部と、前記第 c のユニットにおける前記シフトレジスタから順次パルスが出力されている期間においてのみ、前記第 c のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴とする表示装置。

【請求項 5】

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、前記ゲート信号線駆動回路は、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフタと、前記レベルシフタに電流を供給する電流源とを有し、

前記電流源は、前記シフトレジスタから順次パルスが出力されている期間においてのみ、電流の供給を行うことを特徴とする表示装置。

【請求項 6】

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、前記ゲート信号線駆動回路は、第 1 ～ 第 y の y 個 (y は自然数、 $y \geq 2$) のユニットを有し、

第 d (d は自然数、 $1 \leq d \leq y$) のユニットは、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 d の電流源とを有し、

前記第 d の電流源は、前記第 d のユニットにおける前記シフトレジスタから順次パルスが出力されている期間においてのみ、前記第 d のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴とする表示装置。

【請求項 7】

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、
前記ゲート信号線駆動回路は、第 1 ～ 第 y の y 個 (y は自然数、 $y \geq 2$) のユニットを有し、

第 e (e は自然数、 $1 < e \leq y$) のユニットは、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 e の電流源とを有し、

前記第 e の電流源は、第 $e - 1$ のユニットにおける前記シフトレジスタから順次パルスが出力されている期間の一部と、前記第 e のユニットにおける前記シフトレジスタから順次パルスが出力されている期間においてのみ、前記第 e のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴とする表示装置。

【請求項 8】

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、
前記ゲート信号線駆動回路は、第 1 ～ 第 y の y 個 (y は自然数、 $y \geq 2$) のユニットを有し、

第 f (f は自然数、 $1 \leq f < y$) のユニットは、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 f の電流源とを有し、

前記第 f の電流源は、第 $f + 1$ のユニットにおける前記シフトレジスタから順

次パルスが出力されている期間の一部と、前記第 f のユニットにおける前記シフトレジスタから順次パルスが出力されている期間においてのみ、前記第 f のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴とする表示装置。

【請求項 9】

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、前記ソース信号線駆動回路は、入力信号に従ってパルスを出力するデコーダと、入力される信号の電圧振幅の変換を行うレベルシフタと、前記レベルシフタに電流を供給する電流源とを有し、

前記電流源は、前記デコーダからパルスが出力されている期間においてのみ、電流の供給を行うことを特徴とする表示装置。

【請求項 10】

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、前記ソース信号線駆動回路は、第 1 ～ 第 x の x 個 (x は自然数、 $x \geq 2$) のユニットを有し、

第 a (a は自然数、 $1 \leq a \leq x$) のユニットは、入力信号に従ってパルスを出力するデコーダと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 a の電流源とを有し、

前記第 a の電流源は、前記第 a のユニットにおける前記デコーダからパルスが出力されている期間においてのみ、前記第 a のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴とする表示装置。

【請求項 11】

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、前記ソース信号線駆動回路は、第 1 ～ 第 x の x 個 (x は自然数、 $x \geq 2$) のユニットを有し、

第 b (b は自然数、 $1 < b \leq x$) のユニットは、入力信号に従ってパルスを出力するデコーダと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 b の電流源とを有し、

前記第 b の電流源は、第 $b - 1$ のユニットにおける前記デコーダからパルスが

出力されている期間の一部と、前記第 x のユニットにおける前記デコーダからパルスが出力されている期間においてのみ、前記第 b のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴とする表示装置。

【請求項 1 2】

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、前記ソース信号線駆動回路は、第 1 ～ 第 x の x 個 (x は自然数、 $x \geq 2$) のユニットを有し、

第 c (c は自然数、 $1 \leq c < x$) のユニットは、入力信号に従ってパルスを出力するデコーダと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 c の電流源とを有し、

前記第 c の電流源は、第 $c + 1$ のユニットにおける前記デコーダからパルスが出力されている期間の一部と、前記第 c のユニットにおける前記デコーダからパルスが出力されている期間においてのみ、前記第 c のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴とする表示装置。

【請求項 1 3】

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、前記ゲート信号線駆動回路は、入力信号に従ってパルスを出力するデコーダと、入力される信号の電圧振幅の変換を行うレベルシフタと、前記レベルシフタに電流を供給する電流源とを有し、

前記電流源は、前記デコーダからパルスが出力されている期間においてのみ、電流の供給を行うことを特徴とする表示装置。

【請求項 1 4】

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、前記ゲート信号線駆動回路は、第 1 ～ 第 y の y 個 (y は自然数、 $y \geq 2$) のユニットを有し、

第 d (d は自然数、 $1 \leq d \leq y$) のユニットは、入力信号に従ってパルスを出力するデコーダと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 d の電流源とを有し、

前記第 d の電流源は、前記第 d のユニットにおける前記デコーダからパルスが

出力されている期間においてのみ、前記第 d のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴とする表示装置。

【請求項 1 5】

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、
前記ゲート信号線駆動回路は、第 1 ～ 第 y の y 個 (y は自然数、 $y \geq 2$) のユニットを有し、

第 e (e は自然数、 $1 < e \leq y$) のユニットは、入力信号に従ってパルスを出
力するデコーダと、入力される信号の電圧振幅の変換を行う複数のレベルシフタ
と、前記複数のレベルシフタに電流を供給する第 e の電流源とを有し、

前記第 e の電流源は、第 $e - 1$ のユニットにおける前記デコーダからパルスが
出力されている期間の一部と、前記第 e のユニットにおける前記デコーダからパ
ルスが出力されている期間においてのみ、前記第 e のユニットにおける前記複数の
レベルシフタに電流の供給を行うことを特徴とする表示装置。

【請求項 1 6】

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、
前記ゲート信号線駆動回路は、第 1 ～ 第 y の y 個 (y は自然数、 $y \geq 2$) のユ
ニットを有し、

第 f (f は自然数、 $1 \leq f < y$) のユニットは、入力信号に従ってパルスを出
力するデコーダと、入力される信号の電圧振幅の変換を行う複数のレベルシフタ
と、前記複数のレベルシフタに電流を供給する第 f の電流源とを有し、

前記第 f の電流源は、第 $f + 1$ のユニットにおける前記デコーダからパルスが
出力されている期間の一部と、前記第 f のユニットにおける前記デコーダからパ
ルスが出力されている期間においてのみ、前記第 f のユニットにおける前記複数の
レベルシフタに電流の供給を行うことを特徴とする表示装置。

【請求項 1 7】

請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の表示装置において、

前記ソース信号線駆動回路と、前記ゲート信号線駆動回路と、画素部とは、ガ
ラス基板上、プラスチック基板上、ステンレス基板上、単結晶ウェハ上のいづれ
かに形成されていることを特徴とする表示装置。

【請求項 1 8】

請求項 1 乃至請求項 1 7 のいずれか 1 項に記載の表示装置において、
前記駆動回路と、前記画素部とは、同一基板上に一体形成されていることを特徴とする表示装置。

【請求項 1 9】

請求項 1 乃至請求項 1 7 のいずれか 1 項に記載の表示装置において、
前記駆動回路と、前記画素部とは、異なる基板上に形成されていることを特徴とする表示装置。

【請求項 2 0】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の表示装置を用いることを特徴とする液晶ディスプレイ。

【請求項 2 1】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の表示装置を用いることを特徴とするパーソナルコンピュータ。

【請求項 2 2】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の表示装置を用いることを特徴とする携帯情報端末。

【請求項 2 3】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の表示装置を用いることを特徴とするカーオーディオ。

【請求項 2 4】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の表示装置を用いることを特徴とするデジタルカメラ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、表示装置および表示装置の駆動回路に関し、特に、絶縁体上に作成される薄膜トランジスタを有するアクティブマトリクス型表示装置およびアクティブマトリクス型表示装置の駆動回路に関する。

【0002】

【従来の技術】

近年、半導体製造技術の微細化が進み、それに伴うLSIの小型化によって、携帯端末等の小型機器への応用も進むことで、低消費電力化が要求されるようになり、現在では、3.3[V]駆動などの低電源電圧駆動のLSIが主流となっている。一方で、携帯端末やコンピュータ用モニタなどの用途として近年需要の増加が著しいLCD（液晶ディスプレイ）は、液晶の駆動を10[V]～20[V]の電圧振幅の信号によって行われることが多く、その駆動回路には対応する高電源電圧で駆動する回路部が少なくとも存在する。したがって、前述の低電源電圧で駆動されるコントローラLSIと、高電源電圧で駆動される液晶駆動用回路とは、信号の振幅電圧幅を変化させるレベルシフタをもって接続することが不可欠となる。

【0003】

また、LCDのみならず、近年、有機EL（ここでは、一重項発光、三重項発光のいずれのものもELと定義する。）を用いたディスプレイが開発されたが、こちらにおいても、低駆動電圧化への要求は強い。

【0004】

【本発明以前の技術】

図9は、表示装置のソース信号線駆動回路の回路図の一例を示している。ここで、スタートパルス、クロック信号、デジタル映像信号等は、表示装置の外部から入力される信号であるが、これらは前述のコントローラLSIから供給されるため、その電圧振幅は一般に3.3[V]等の低電圧振幅である。よって、図9に示した駆動回路においては、デジタル映像信号は、入力直後にレベルシフタ905によってその電圧振幅の変換（レベル変換）を受けている。クロック信号、スタートパルス等、外部のコントローラLSIから入力される信号は、特に図示しないが同様にレベル変換を受ける。

【0005】

回路の動作について説明する。クロック信号、スタートパルスに従って、シフトレジスタ901からパルスが出力され、隣接した2段のパルスがNAND回路

903に入力される。NAND回路903においては、入力された2信号の論理和をとったパルスが出力され、これが第1のラッチパルスとなる。その後、バッファ904を通り、第1のラッチ回路906へと入力され、この第1のラッチパルスの入力タイミングに従って、レベルシフタ905によってレベル変換を受けたデジタル映像信号のラッチ動作が行われる。1段目から最終段まで、このラッチ動作が完了した後、帰線期間内に第2のラッチパルスがピン19に入力され、第1のラッチ回路906に保持されている1水平期間分のデジタル映像信号は、一斉に第2のラッチ回路907へと転送される。その後、ゲート信号線が選択されている行の画素に信号を書き込み、映像の表示を行う。

【0006】

図9におけるレベルシフタ905を、従来のレベルシフタによって構成した例を図10(A)に示す。このような構成のレベルシフタにおいては、入力信号(In、Inb)の電圧振幅が3.3[V]程度と小さい場合、レベルシフタを構成するTFTのしきい値などの影響により、正常なレベル変換を行うことは出来ない。

【0007】

そこで、図10(B)に示すような構成のレベルシフタを用いる。図10(B)に示すレベルシフタは、差動増幅器によってレベル変換を行うものであり、入力信号の電圧振幅が小さい場合にも、確実なレベル変換機能を実現することが出来るため、回路の低駆動電圧化に対して非常に有効な回路である。

【0008】

【発明が解決しようとする課題】

反面、図10(B)に示した、差動増幅器を用いたレベルシフタは、電流源を必要とする。すなわち、回路の駆動中には(レベルシフタの駆動中、停止中に関わらず)常に一定電流が供給されているため、表示装置全体の低消費電力化の足かせとなっている。

【0009】

本来、駆動回路等の低駆動電圧化は、携帯端末等の普及に伴う低消費電力化を目的としてきたものであり、低駆動電圧化に対応するための回路によって消費電力

が増大することは許されない。

【 0 0 1 0 】

本発明は、前述のような課題を鑑見てなされたものであり、周辺回路の低駆動電圧化に対応し、かつ低消費電力を実現することの出来る表示装置の駆動回路を提供することを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

前述の課題を解決するために、本発明においては以下のような手段を講じた。

【 0 0 1 2 】

図 9 に示したソース信号線駆動回路において、レベルシフタ 9 0 5 は、サンプリングパルス、デジタル映像信号等の入力の有無に関わらず、定電流が供給されていた。そこで、本発明においては、シフトレジスタからパルスの出力がある期間においてのみ、電流供給を行う。シフトレジスタからパルスの出力がない期間は、すなわちデジタル映像信号のラッチ動作も行われなため、レベルシフタへの電流供給を停止する。これにより、不必要な期間における電力消費を抑えることが出来る。

【 0 0 1 3 】

以下に、本発明の表示装置の駆動回路の構成について記載する。

【 0 0 1 4 】

請求項 1 に記載の本発明の表示装置の駆動回路は、

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、前記ソース信号線駆動回路は、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフタと、前記レベルシフタに電流を供給する電流源とを有し、

前記電流源は、前記シフトレジスタから順次パルスが出力されている期間においてのみ、電流の供給を行うことを特徴としている。

【 0 0 1 5 】

請求項 2 に記載の本発明の表示装置の駆動回路は、

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、

前記ソース信号線駆動回路は、第 1 ～第 x の x 個 (x は自然数、 $x \geq 2$) のユニットを有し、

第 a (a は自然数、 $1 \leq a \leq x$) のユニットは、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 a の電流源とを有し、

前記第 a の電流源は、前記第 a のユニットにおける前記シフトレジスタから順次パルスが出力されている期間においてのみ、前記第 a のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴としている。

【0 0 1 6】

請求項 3 に記載の本発明の表示装置の駆動回路は、

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、

前記ソース信号線駆動回路は、第 1 ～第 x の x 個 (x は自然数、 $x \geq 2$) のユニットを有し、

第 b (b は自然数、 $1 < b \leq x$) のユニットは、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 b の電流源とを有し、

前記第 b の電流源は、第 $b - 1$ のユニットにおける前記シフトレジスタから順次パルスが出力されている期間の一部と、前記第 b のユニットにおける前記シフトレジスタから順次パルスが出力されている期間においてのみ、前記第 b のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴としている。

【0 0 1 7】

請求項 4 に記載の本発明の表示装置の駆動回路は、

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、

前記ソース信号線駆動回路は、第 1 ～第 x の x 個 (x は自然数、 $x \geq 2$) のユニットを有し、

第 c (c は自然数、 $1 \leq c < x$) のユニットは、クロック信号に従って順次パ

ルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 c の電流源とを有し、

前記第 c の電流源は、第 $c + 1$ のユニットにおける前記シフトレジスタから順次パルスが出力されている期間の一部と、前記第 c のユニットにおける前記シフトレジスタから順次パルスが出力されている期間においてのみ、前記第 c のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴としている。

【 0 0 1 8 】

請求項 5 に記載の本発明の表示装置の駆動回路は、

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、

前記ゲート信号線駆動回路は、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフタと、前記レベルシフタに電流を供給する電流源とを有し、

前記電流源は、前記シフトレジスタから順次パルスが出力されている期間においてのみ、電流の供給を行うことを特徴としている。

【 0 0 1 9 】

請求項 6 に記載の本発明の表示装置の駆動回路は、

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、

前記ゲート信号線駆動回路は、第 1 ～ 第 y の y 個 (y は自然数、 $y \geq 2$) のユニットを有し、

第 d (d は自然数、 $1 \leq d \leq y$) のユニットは、クロック信号に従って順次パルス出力するシフトレジスタと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 d の電流源とを有し、

前記第 d の電流源は、前記第 d のユニットにおける前記シフトレジスタから順次パルスが出力されている期間においてのみ、前記第 d のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴としている。

【 0 0 2 0 】

請求項 7 に記載の本発明の表示装置の駆動回路は、

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、

前記ゲート信号線駆動回路は、第 1 ～第 y の y 個 (y は自然数、 $y \geq 2$) のユニットを有し、

第 e (e は自然数、 $1 < e \leq y$) のユニットは、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 e の電流源とを有し、

前記第 e の電流源は、第 $e - 1$ のユニットにおける前記シフトレジスタから順次パルスが出力されている期間の一部と、前記第 e のユニットにおける前記シフトレジスタから順次パルスが出力されている期間においてのみ、前記第 e のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴としている。

【 0 0 2 1 】

請求項 8 に記載の本発明の表示装置の駆動回路は、

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、

前記ゲート信号線駆動回路は、第 1 ～第 y の y 個 (y は自然数、 $y \geq 2$) のユニットを有し、

第 f (f は自然数、 $1 \leq f < y$) のユニットは、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 f の電流源とを有し、

前記第 f の電流源は、第 $f + 1$ のユニットにおける前記シフトレジスタから順次パルスが出力されている期間の一部と、前記第 f のユニットにおける前記シフトレジスタから順次パルスが出力されている期間においてのみ、前記第 f のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴としている。

【 0 0 2 2 】

請求項 9 に記載の本発明の表示装置の駆動回路は、

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、
前記ソース信号線駆動回路は、入力信号に従ってパルスを出力するデコーダと、
入力される信号の電圧振幅の変換を行うレベルシフタと、前記レベルシフタに
電流を供給する電流源とを有し、

前記電流源は、前記デコーダからパルスが出力されている期間においてのみ、
電流の供給を行うことを特徴としている。

【 0 0 2 3 】

請求項 1 0 に記載の本発明の表示装置の駆動回路は、

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、
前記ソース信号線駆動回路は、第 1 ～第 x の x 個 (x は自然数、 $x \geq 2$) のユ
ニットを有し、

第 a (a は自然数、 $1 \leq a \leq x$) のユニットは、入力信号に従ってパルスを出
力するデコーダと、入力される信号の電圧振幅の変換を行う複数のレベルシフタ
と、前記複数のレベルシフタに電流を供給する第 a の電流源とを有し、

前記第 a の電流源は、前記第 a のユニットにおける前記デコーダからパルスが
出力されている期間においてのみ、前記第 a のユニットにおける前記複数のレベ
ルシフタに電流の供給を行うことを特徴としている。

【 0 0 2 4 】

請求項 1 1 に記載の本発明の表示装置の駆動回路は、

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、
前記ソース信号線駆動回路は、第 1 ～第 x の x 個 (x は自然数、 $x \geq 2$) のユ
ニットを有し、

第 b (b は自然数、 $1 < b \leq x$) のユニットは、入力信号に従ってパルスを出
力するデコーダと、入力される信号の電圧振幅の変換を行う複数のレベルシフタ
と、前記複数のレベルシフタに電流を供給する第 b の電流源とを有し、

前記第 b の電流源は、第 $b - 1$ のユニットにおける前記デコーダからパルスが
出力されている期間の一部と、前記第 x のユニットにおける前記デコーダからパ
ルスが出力されている期間においてのみ、前記第 b のユニットにおける前記複数
のレベルシフタに電流の供給を行うことを特徴としている。

【 0 0 2 5 】

請求項 1 2 に記載の本発明の表示装置の駆動回路は、

ソース信号線駆動回路と、画素部とが基板上に形成された表示装置において、

前記ソース信号線駆動回路は、第 1 ～第 x の x 個 (x は自然数、 $x \geq 2$) のユニットを有し、

第 c (c は自然数、 $1 \leq c < x$) のユニットは、入力信号に従ってパルスを出力するデコーダと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 c の電流源とを有し、

前記第 c の電流源は、第 $c + 1$ のユニットにおける前記デコーダからパルスが出力されている期間の一部と、前記第 c のユニットにおける前記デコーダからパルスが出力されている期間においてのみ、前記第 c のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴としている。

【 0 0 2 6 】

請求項 1 3 に記載の本発明の表示装置の駆動回路は、

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、

前記ゲート信号線駆動回路は、入力信号に従ってパルスを出力するデコーダと、入力される信号の電圧振幅の変換を行うレベルシフタと、前記レベルシフタに電流を供給する電流源とを有し、

前記電流源は、前記デコーダからパルスが出力されている期間においてのみ、電流の供給を行うことを特徴としている。

【 0 0 2 7 】

請求項 1 4 に記載の本発明の表示装置の駆動回路は、

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、

前記ゲート信号線駆動回路は、第 1 ～第 y の y 個 (y は自然数、 $y \geq 2$) のユニットを有し、

第 d (d は自然数、 $1 \leq d \leq y$) のユニットは、入力信号に従ってパルスを出力するデコーダと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 d の電流源とを有し、

前記第 d の電流源は、前記第 d のユニットにおける前記デコーダからパルスが

出力されている期間においてのみ、前記第 d のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴としている。

【 0 0 2 8 】

請求項 1 5 に記載の本発明の表示装置の駆動回路は、

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、

前記ゲート信号線駆動回路は、第 1 ～ 第 y の y 個 (y は自然数、 $y \geq 2$) のユニットを有し、

第 e (e は自然数、 $1 < e \leq y$) のユニットは、入力信号に従ってパルスを出力するデコーダと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 e の電流源とを有し、

前記第 e の電流源は、第 $e - 1$ のユニットにおける前記デコーダからパルスが出力されている期間の一部と、前記第 e のユニットにおける前記デコーダからパルスが出力されている期間においてのみ、前記第 e のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴としている。

【 0 0 2 9 】

請求項 1 6 に記載の本発明の表示装置の駆動回路は、

ゲート信号線駆動回路と、画素部とが基板上に形成された表示装置において、

前記ゲート信号線駆動回路は、第 1 ～ 第 y の y 個 (y は自然数、 $y \geq 2$) のユニットを有し、

第 f (f は自然数、 $1 \leq f < y$) のユニットは、入力信号に従ってパルスを出力するデコーダと、入力される信号の電圧振幅の変換を行う複数のレベルシフタと、前記複数のレベルシフタに電流を供給する第 f の電流源とを有し、

前記第 f の電流源は、第 $f + 1$ のユニットにおける前記デコーダからパルスが出力されている期間の一部と、前記第 f のユニットにおける前記デコーダからパルスが出力されている期間においてのみ、前記第 f のユニットにおける前記複数のレベルシフタに電流の供給を行うことを特徴としている。

【 0 0 3 0 】

請求項 1 7 に記載の本発明の表示装置の駆動回路は、

請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の表示装置において、

前記ソース信号線駆動回路と、前記ゲート信号線駆動回路と、画素部とは、ガラス基板上、プラスチック基板上、ステンレス基板上、単結晶ウェハ上のいずれかに形成されていることを特徴としている。

【 0 0 3 1 】

請求項 1 8 に記載の本発明の表示装置の駆動回路は、
請求項 1 乃至請求項 1 7 のいずれか 1 項に記載の表示装置において、
前記駆動回路と、前記画素部とは、同一基板上に一体形成されていることを特徴としている。

【 0 0 3 2 】

請求項 1 9 に記載の本発明の表示装置の駆動回路は、
請求項 1 乃至請求項 1 7 のいずれか 1 項に記載の表示装置において、
前記駆動回路と、前記画素部とは、異なる基板上に形成されていることを特徴としている。

【 0 0 3 3 】

【発明の実施の形態】

図 1 は、本発明の表示装置の駆動回路の構成形態を示す図である。ある適当な段数ごとにソース信号線駆動回路を分割し、その分割単位ごとにレベルシフトへの電流源を設けている。点線枠 1 0 0 で示す単位ユニット (Source Driver Unit: 以下、単にユニットと記載する) が複数段、例えば x 段繰り返されることによって、ソース信号線駆動回路を構成する。このとき、必ずしも 1 ユニットあたりのシフトレジスタの段数を、『全シフトレジスタ段数 / x』のように等分割する必要はない。ソース信号線駆動回路は、シフトレジスタ 1 0 1、NAND 回路 1 0 2、バッファ 1 0 3、NOR 回路 1 0 4、レベルシフト用電流源 1 0 5、レベルシフト 1 0 6、第 1 のラッチ回路 1 0 7、第 2 のラッチ回路 1 0 8、画素 1 0 9 等を有する。

【 0 0 3 4 】

レベルシフト用電流源 1 0 5、レベルシフト 1 0 6 は、図 2 に示すような構成をしている。図 9 に示したソース信号線駆動回路にて用いていたレベルシフトと同様、差動増幅器を利用して信号のレベル変換を行う形式のものである。レベル

シフタ用電流源 1 0 5 については、図 2 では 2 0 1 で示すブロックにあたり、入力ピン 3 1 にパルスが入力されている期間のみ、T F T 2 0 3、2 0 4 が導通して、各レベルシフタに電流を供給することが出来るものである。

【 0 0 3 5 】

ただし、本発明は、電流源を有するレベルシフタ全般を対象としての使用が可能であり、レベルシフタ自体の構成はこの形には限定されず、他の形のものであっても良い。

【 0 0 3 6 】

ピン 3 1 に入力される信号は、N O R 回路 1 0 4 の出力パルスを反転したパルスである。N O R 回路 1 0 4 には、各段の N A N D 回路からの出力パルス（第 1 のラッチパルス）が入力される。すなわち、あるユニットにおいて、いずれか 1 段のシフトレジスタが動作している期間は、N O R 回路 1 0 4 の入力ピンのいずれかに H i 信号が入力され、N O R 回路 1 0 4 からは L o 信号が出力される。この信号はインバータによって反転され、レベルシフタ用電流源 1 0 5 の入力ピン 3 1 へと入力され、前述のように電流を供給する。シフトレジスタの動作が停止している期間は、N O R 回路 1 0 4 のいずれの入力ピンにも L o 信号が入力される（第 1 のラッチパルスが出力されていない）ことにより、レベルシフタ用電流源 1 0 5 の入力ピン 3 1 には L o 信号が入力され、電流を遮断する。

【 0 0 3 7 】

図 4 に示すタイミングチャートを参照して、動作について説明する。第 1 のユニットは、第 1 段目～第 k 段目までの第 1 のラッチパルスを出力する N A N D 回路を有する。これらの N A N D 回路の出力が、第 1 のユニットに接続されたレベルシフタ用電流源 1 0 5 を制御するための N O R 回路 1 0 4 へと入力される。第 2 のユニットは、第 k + 1 段目～第 m 段目までの第 1 のラッチパルスを出力する N A N D 回路を有する。これらの N A N D 回路の出力が、第 2 のユニットに接続されたレベルシフタ用電流源 1 0 5 を制御するための N O R 回路 1 1 0 へと入力される。第 3 のユニットは、第 m + 1 段目～第 n 段目までの第 1 のラッチパルスを出力する N A N D 回路を有する。これらの N A N D 回路の出力が、第 3 のユニットに接続されたレベルシフタ用電流源 1 1 3 を制御するための N O R 回路 1 1

2 へと入力される。以降も同様とし、最終の x 段まで繰り返される。

【 0 0 3 8 】

第 1 段目の N A N D 出力があってから、第 k 段目の N A N D 出力までの期間、N O R 回路 1 0 4 には順次パルスが入力されるため、その期間は第 1 のユニットに接続された電流源 1 0 5 (図 4 中、L S 電源 1 と記載) から電流が供給される。ここでは、第 1 のユニットに属するレベルシフタにのみ、電流が供給される。第 k 段目の N A N D 出力が終了して後は、第 1 のユニットにおけるシフトレジスタ～N A N D 回路までは動作しない。従って N O R 回路 1 0 4 への入力が全て L o 電位となり、電流源 1 0 5 を遮断する。

【 0 0 3 9 】

続いて、k + 1 段目の N A N D 回路からパルスが出力される。この k + 1 段目の N A N D 回路は、第 2 のユニットに属し、その出力パルスは第 2 のユニットに接続された電流源 1 1 1 (図 4 中、L S 電源 2 と表記) へと続く N O R 回路 1 1 0 に入力され、電流の供給が開始される。ここでは、第 2 のユニットに属するレベルシフタにのみ、電流が供給される。第 m 段目の N A N D 出力が終了して後は、第 2 のユニットにおけるシフトレジスタ～N A N D 回路までは動作しない。従って N O R 回路 1 1 0 への入力が全て L o 電位となり、電流源 1 1 1 を遮断する。

【 0 0 4 0 】

この手順が第 3 のユニット以降、最終の第 x のユニットまで続くことにより、動作しているユニットにのみ、電流が供給される。ソース信号線駆動回路全体を 1 系統の N O R 回路を用いて電流源の制御を行う場合に比べて、必要な部分にのみ電流供給を行うことが出来る。

【 0 0 4 1 】

以上の方法により、シフトレジスタからパルスの出力がない期間においては、レベルシフタへの定電流供給を停止することが出来るため、低消費電力化に寄与する。特に、特願 2 0 0 0 - 2 4 0 3 3 2、特願 2 0 0 0 - 2 4 9 0 8 3、特願 2 0 0 0 - 3 0 5 6 4 2 等に記載の発明における、静止画表示の際に一部の駆動回路を停止して低消費電力化をはかる場合など、本発明を適用することによって

さらなる低消費電力化が可能となる。

【0042】

なお、本発明は、ソース信号線駆動回路における、デジタル映像信号のレベル変換について例をあげて説明しているが、特に限定せず、映像信号がアナログである場合にも、入力信号を始めとする各信号のレベル変換を、電流源を必要とするレベルシフタを用いて行ういずれの表示装置に対しても適用が可能であるし、もちろんゲート信号線駆動回路への適用も可能である。

【0043】

さらに、本実施形態にて示したソース信号線駆動回路は、シフトレジスタの動作によって順次パルスが出力される形式のものであるが、シフトレジスタのみならず、デコーダ等を使用して選択を行う他方式の駆動回路においても、容易に適用が可能である。

【0044】

【実施例】

以下に本発明の実施例について記述する。

【0045】

〔実施例1〕

図3は、本発明の表示装置のソース信号線駆動回路の一構成例を示す図である。シフトレジスタ301、NAND回路303、バッファ304、NOR回路305、インバータ306、レベルシフタ用電流源307、レベルシフタ308、第1のラッチ回路309、第2のラッチ回路310、画素311等により構成される。

【0046】

実施形態においては、ソース信号線駆動回路を複数のユニットに分割し、各ユニットに電流源を設け、動作しているユニットにおける電流源のみが電流供給を行っていたが、本実施例のように、ユニット化しないでNAND回路から出力される第1のラッチパルスをNOR回路に入力し、電流源の動作のON・OFF制御を行っても良い。本実施例にて示した回路においては、帰線期間中に電流源を停止し、電流供給を停止することが出来る。

【 0 0 4 7 】

〔実施例 2〕

実施形態および実施例 1 で示した駆動回路におけるレベルシフタ用電源の動作を考える。NAND 回路から出力された第 1 のラッチパルスは、バッファを介して第 1 のラッチ回路へと入力される。同時に、NOR 回路に入力され、その結果レベルシフタ用電流源を ON とし、デジタル映像信号のレベル変換を行う。このとき、レベルシフタ用電流源の ON のタイミングが、第 1 のラッチ回路へのラッチパルスの入力のタイミングに対し、パルスのなまりや遅延などによって遅れることが考えられる。このような場合、各ユニット間をまたぐタイミングにおいては、レベルシフタへの電流供給が正常でなくなることになる。実際に駆動回路に本発明を適用するには、そのような点を考慮して、電流源の ON・OFF のタイミングにマージンを持たせたい。そこで本実施例においては、そのような課題を解決するための構成について説明する。

【 0 0 4 8 】

図 5 を参照する。実施形態および実施例 1 においては、レベルシフタ用電源の制御、すなわち NOR 回路への入力には NAND 出力を用いていたのに対し、本実施例においては、シフトレジスタからの出力を用いる。回路の構成例としては実施形態と同様、図 6 に示すようにユニット毎にレベルシフタ用電源の制御を行うようにすると良い。

【 0 0 4 9 】

NAND 回路にて論理和をとる前のシフトレジスタ出力は、図 8 (A) のタイミングチャートに示すように、隣接する段でのパルスが重なっている。LS 電源 1 が ON となっている期間は、第 1 のユニットにおける第 1 段目のシフトレジスタからパルスが出力されてから、第 k 段目のシフトレジスタからのパルス出力が終了するまでの期間である。続いて第 2 のユニットにおける、k + 1 段目のシフトレジスタからパルスが出力されると、LS 電源 2 が ON となる。ここで、k 段目のシフトレジスタの出力パルスと、k + 1 段目のシフトレジスタの出力パルスとは重なっていることから、LS 電源 1 と、LS 電源 2 とがともに ON となっている期間を設けることが出来る。つまり、第 a (a は自然数、 $1 \leq a \leq x$) のユ

ニット最終段のパルスと、第 $a + 1$ のユニットの初段のパルスが重なっているため、この期間は第 a のユニットと、第 $a + 1$ のユニットの電流源がともに電流の供給を行う。このようなタイミングによって、前述したパルスの遅延等による、各ユニット間をまたぐタイミングでのレベル変換時にも、正常に電流供給が可能となる。

【 0 0 5 0 】

[実施例 3]

本実施例においては、実施例 2 とは異なる方法によって、各ユニット間をまたぐタイミングのレベル変換時の電流供給を行う方法について説明する。

【 0 0 5 1 】

実施例 2 においては、レベルシフタ用電流源の ON のタイミングに重複期間を設けるために、NOR 回路への入力にシフトレジスタからの出力パルスを用いる手段をとった。本実施例においては、NOR 回路への入力は実施形態と同様、NAND 回路からの出力パルスを用いるが、前段ユニットにおける最終段の NAND 回路からの出力パルスを NOR 回路に入力することによって、レベルシフタ用電流源の ON のタイミングに重複期間を設ける。

【 0 0 5 2 】

図 7 の回路図および図 8 (B) に示すタイミングチャートを参照する。第 2 のユニットに接続されたレベルシフタ用電流源 7 1 1 の ON・OFF を制御するための NOR 回路 7 1 0 への入力に着目すると、前段のユニット、すなわち第 1 のユニットにおける最終段の NAND 回路 7 0 2 からの出力が、NOR 回路 7 0 4 と 7 1 0 の両方に入力されている。従って、NAND 回路 7 0 2 からパルスが出力されるタイミングにおいては、レベルシフタ用電源 7 0 5、7 1 1 はともに ON の状態となる。

【 0 0 5 3 】

タイミングチャート上で説明する。第 1 のユニットにおける最終段の NAND 出力は、NAND 出力 k と記されている。また、第 2 のユニットにおける初段の NAND 出力は、NAND 出力 $k + 1$ と記されている。ここで、NAND 出力 k は、第 1 のユニットにおけるレベルシフタ用電流源 7 0 5 の ON・OFF を制御

するためのNOR回路704と、第2のユニットにおけるレベルシフト用電流源711のON・OFFを制御するためのNOR回路710との両方に入力されるため、レベルシフト用電流源705、711はともにONの状態となる。例えば第bのユニット最終段のパルスが、第a+1のユニットのレベルシフト用電流源を制御するNOR回路に入力されることにより、この期間は第b（bは自然数、 $1 \leq b < x$ ）のユニットと、第b+1のユニットの電流源がともに電流の供給を行う。このようにして、実施例2とは異なる方法によって、前述したパルスの遅延等による、各ユニット間をまたぐタイミングでのレベル変換時にも、正常に電流供給が可能となる。

【0054】

また、本実施例においては、一方向走査の場合を例として説明したが、走査方向切り替えの可能な駆動回路においても同様の方法によって実施が可能である。後段ユニットの初段、または次段からパルスを得るようにしても良い。さらに、ユニット間の動作において、前段ユニットの最終段のパルスのみを得る必要はなく、その他のパルスを得るようにしても良い。

【0055】

[実施例4]

本実施例では、本発明の表示装置の画素部とその周辺に設けられる駆動回路部（ソース信号線側駆動回路、ゲート信号線側駆動回路）のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

【0056】

図11（A）を参照する。まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板5001を用いる。なお、基板5001としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0057】

次いで、基板 5 0 0 1 上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。本実施例では下地膜 5 0 0 2 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 5 0 0 2 の 1 層目としては、プラズマ C V D 法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜 5 0 0 1 a を 1 0 ~ 2 0 0 [nm] (好ましくは 5 0 ~ 1 0 0 [nm]) 形成する。本実施例では、膜厚 5 0 [nm] の酸化窒化珪素膜 5 0 0 2 a (組成比 $\text{Si} = 3 2 [\%]$ 、 $\text{O} = 2 7 [\%]$ 、 $\text{N} = 2 4 [\%]$ 、 $\text{H} = 1 7 [\%]$) を形成した。次いで、下地膜 5 0 0 2 の 2 層目としては、プラズマ C V D 法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜 5 0 0 2 b を 5 0 ~ 2 0 0 [nm] (好ましくは 1 0 0 ~ 1 5 0 [nm]) の厚さに積層形成する。本実施例では、膜厚 1 0 0 [nm] の酸化窒化珪素膜 5 0 0 2 b (組成比 $\text{Si} = 3 2 [\%]$ 、 $\text{O} = 5 9 [\%]$ 、 $\text{N} = 7 [\%]$ 、 $\text{H} = 2 [\%]$) を形成した。

【 0 0 5 8 】

次いで、下地膜上に半導体層 5 0 0 3 ~ 5 0 0 6 を形成する。半導体層 5 0 0 3 ~ 5 0 0 6 は、非晶質構造を有する半導体膜を公知の手段 (スパッタ法、L P C V D 法、またはプラズマ C V D 法等) により成膜した後、公知の結晶化処理 (レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等) を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層 5 0 0 3 ~ 5 0 0 6 は、2 5 ~ 8 0 [nm] (好ましくは 3 0 ~ 6 0 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素 (シリコン) またはシリコンゲルマニウム ($\text{Si}_x\text{Ge}_{1-x}$ ($x = 0.0001 \sim 0.02$)) 合金などで形成すると良い。本実施例では、プラズマ C V D 法を用い、5 5 [nm] の非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化 (5 0 0 [°C]、1 時間) を行った後、熱結晶化 (5 5 0 [°C]、4 時間) を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜から、フォトリソグラフィ法を用いたパターニング処理によって、半導体層 5 0 0 3 ~ 5 0 0 6 を形成した。

【 0 0 5 9 】

また、半導体層 5 0 0 3 ~ 5 0 0 6 を形成した後、T F T のしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。

【 0 0 6 0 】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーや Y A G レーザー、Y V O₄ レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 3 0 [Hz] とし、レーザーエネルギー密度を 1 0 0 ~ 4 0 0 [mJ/cm²] (代表的には 2 0 0 ~ 3 0 0 [mJ/cm²]) とする。また、Y A G レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 1 0 k H z とし、レーザーエネルギー密度を 3 0 0 ~ 6 0 0 [mJ/cm²] (代表的には 3 5 0 ~ 5 0 0 [mJ/cm²]) とすると良い。そして幅 1 0 0 ~ 1 0 0 0 [μm]、例えば 4 0 0 [μm] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を 5 0 ~ 9 0 [%] として行えばよい。

【 0 0 6 1 】

次いで、半導体層 5 0 0 3 ~ 5 0 0 6 を覆うゲート絶縁膜 5 0 0 7 を形成する。ゲート絶縁膜 5 0 0 7 はプラズマ C V D 法またはスパッタ法を用い、厚さを 4 0 ~ 1 5 0 [nm] として珪素を含む絶縁膜で形成する。本実施例では、プラズマ C V D 法により 1 1 0 [nm] の厚さで酸化窒化珪素膜（組成比 S i = 3 2 [%]、O = 5 9 [%]、N = 7 [%]、H = 2 [%]）で形成した。勿論、ゲート絶縁膜 5 0 0 7 は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【 0 0 6 2 】

また、酸化珪素膜を用いる場合には、プラズマ C V D 法で T E O S (Tetraethyl Orthosilicate) と O₂ とを混合し、反応圧力 4 0 [Pa]、基板温度 3 0 0 ~ 4 0 0 [°C] とし、高周波 (1 3 . 5 6 [MHz]) 電力密度 0 . 5 ~ 0 . 8 [W/cm₂] で放

電させて形成することができる。このようにして作製される酸化珪素膜は、その後 4 0 0 ~ 5 0 0 [°C] の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【 0 0 6 3 】

次いで、ゲート絶縁膜 5 0 0 7 上に膜厚 2 0 ~ 1 0 0 [nm] の第 1 の導電膜 5 0 0 8 と、膜厚 1 0 0 ~ 4 0 0 [nm] の第 2 の導電膜 5 0 0 9 とを積層形成する。本実施例では、膜厚 3 0 [nm] の T a N 膜からなる第 1 の導電膜 5 0 0 7 と、膜厚 3 7 0 [nm] の W 膜からなる第 2 の導電膜 5 0 0 8 を積層形成した。T a N 膜はスパッタ法で形成し、T a のターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W 膜は、W のターゲットを用いたスパッタ法で形成した。その他に 6 フッ化タンゲステン (W F₆) を用いる熱 C V D 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 2 0 [μΩcm] 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って本実施例では、高純度の W (純度 9 9 . 9 9 9 9 [%]) のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9 ~ 2 0 [μΩcm] を実現することができた。

【 0 0 6 4 】

なお、本実施例では、第 1 の導電膜 5 0 0 8 を T a N、第 2 の導電膜 5 0 0 9 を W としたが、特に限定されず、いずれも T a、W、T i、M o、A l、C u、C r、N d から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、A g、P d、C u からなる合金を用いてもよい。また、第 1 の導電膜を T a 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を T i N 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を窒化タンタル (T a N) 膜で形成し、第 2 の導電膜を A l 膜とする組み合わせ、第 1 の導電膜を T a N 膜で形成し、第 2 の導電膜を C u 膜とする組み合わせとしてもよい。

【 0 0 6 5 】

次に、図 1 1 (B) に示すようにフォトリソグラフィ法を用いてレジストからなるマスク 5 0 1 0 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。第 1 のエッチング処理では第 1 及び第 2 のエッチング条件で行う。本実施例では第 1 のエッチング条件として、I C P (Inductively Coupled Plasma : 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 とを用い、それぞれのガス流量比を 2 5 / 2 5 / 1 0 [sccm] とし、1 [Pa] の圧力でコイル型の電極に 5 0 0 [W] の R F (1 3 . 5 6 [MHz]) 電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業 (株) 製の I C P を用いたドライエッチング装置 (Model E 6 4 5 - □ I C P) を用いた。基板側 (試料ステージ) にも 1 5 0 [W] の R F (1 3 . 5 6 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第 1 のエッチング条件により W 膜をエッチングして第 1 の導電層の端部をテーパ形状とする。第 1 のエッチング条件での W に対するエッチング速度は 2 0 0 . 3 9 [nm/min.]、T a N に対するエッチング速度は 8 0 . 3 2 [nm/min.] であり、T a N に対する W の選択比は約 2 . 5 である。また、この第 1 のエッチング条件によって、W のテーパ角は、約 2 6 ° となる。

【 0 0 6 6 】

この後、図 1 1 (B) に示すようにレジストからなるマスク 5 0 1 0 を除去せずに第 2 のエッチング条件に変え、エッチング用ガスに CF_4 と Cl_2 とを用い、それぞれのガス流量比を 3 0 / 3 0 [sccm] とし、1 [Pa] の圧力でコイル型の電極に 5 0 0 [W] の R F (1 3 . 5 6 [MHz]) 電力を投入してプラズマを生成して約 3 0 秒程度のエッチングを行った。基板側 (試料ステージ) にも 2 0 [W] の R F (1 3 . 5 6 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した第 2 のエッチング条件では W 膜及び T a N 膜とも同程度にエッチングされる。第 2 のエッチング条件での W に対するエッチング速度は 5 8 . 9 7 [nm/min.]、T a N に対するエッチング速度は 6 6 . 4 3 [nm/min.] である。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、1 0 ~ 2 0 [%] 程度の割合でエッチング時間を増加させると良い。

【 0 0 6 7 】

上記第 1 のエッチング処理では、レジストからなるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ形状となる。このテーパ部の角度は $15 \sim 45^\circ$ とすればよい。こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 5 0 1 1 \sim 5 0 1 5 (第 1 の導電層 5 0 1 1 a \sim 5 0 1 5 a と第 2 の導電層 5 0 1 1 b \sim 5 0 1 5 b) を形成する。ゲート絶縁膜 5 0 0 7 においては、第 1 の形状の導電層 5 0 1 1 \sim 5 0 1 5 で覆われない領域は $20 \sim 50$ [nm] 程度エッチングされ薄くなった領域が形成される。

【 0 0 6 8 】

そして、レジストからなるマスクを除去せずに第 1 のドーピング処理を行い、半導体層に n 型を付与する不純物元素を添加する (図 5 (B))。ドーピング処理はイオンドーブ法、若しくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15}$ [atoms/cm²] とし、加速電圧を $60 \sim 100$ [keV] として行う。本実施例ではドーズ量を 1.5×10^{15} [atoms/cm²] とし、加速電圧を 80 [keV] として行った。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いた。この場合、第 1 の形状の導電層 5 0 1 1 \sim 5 0 1 5 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域 5 0 1 6 \sim 5 0 1 9 が形成される。高濃度不純物領域 5 0 1 6 \sim 5 0 1 9 には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³] の濃度範囲で n 型を付与する不純物元素を添加する。

【 0 0 6 9 】

次いで、図 1 1 (C) に示すようにレジストからなるマスクを除去せずに第 2 のエッチング処理を行う。ここでは、エッチング用ガスに CF₄ と Cl₂ と O₂ とを用い、それぞれのガス流量比を $20/20/20$ [sccm] とし、 1 [Pa] の圧力でコイル型の電極に 500 [W] の RF (13.56 [MHz]) 電力を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) にも 20 [W] の RF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する

。第2のエッチング処理でのWに対するエッチング速度は124.62 [nm/min.]、Ta₂Nに対するエッチング速度は20.67 [nm/min.]であり、Ta₂Nに対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。この第2のエッチングによりWのテーパ角は70°となった。この第2のエッチング処理により第2の導電層5020b～5024bを形成する。一方、第1の導電層5011a～5015aは、ほとんどエッチングされず、第1の導電層5020a～5024aを形成する。

【0070】

次いで、第2のドーピング処理を行う。ドーピングは第2の導電層5020b～5024bを不純物元素に対するマスクとして用い、第1の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP（リン）を用い、ドーズ量 1.5×10^{14} [atoms/cm²]、電流密度0.5 [μA]、加速電圧90 [keV]にてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域5025～5028を自己整合的に形成する。この低濃度不純物領域5025～5028へ添加されたリン（P）の濃度は、 $1 \times 10^{17} \sim 5 \times 10^{18}$ [atoms/cm³]であり、且つ、第1の導電層のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、高濃度不純物領域5016～5019にも不純物元素が添加される（図12（A））。

【0071】

次いで、図12（B）に示すようにレジストからなるマスクを除去してからフォトリソグラフィ法を用いて、第3のエッチング処理を行う。この第3のエッチング処理では第1の導電層のテーパ部を部分的にエッチングして、第2の導電層と重なる形状にするために行われる。ただし、第3のエッチングを行わない領域には、レジスト5029からなるマスクを形成する。

【0072】

第3のエッチング処理におけるエッチング条件は、エッチングガスとしてC₁

SF_6 とを用い、それぞれのガス流量比を10/50 [sccm]として第1及び第2のエッチングと同様にICPエッチング法を用いて行う。なお、第3のエッチング処理でのTa₂Nに対するエッチング速度は、111.2 [nm/min.]であり、ゲート絶縁膜に対するエッチング速度は、12.8 [nm/min.]である。

【0073】

本実施例では、1.3 [Pa]の圧力でコイル型の電極に500 [W]のRF (13.56 [MHz])電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも10 [W]のRF (13.56 [MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。以上により、第1の導電層5030a～5032aが形成される。

【0074】

上記第3のエッチングによって、第1の導電層5030a～5032aと重ならない不純物領域(LDD領域)5033～5034が形成される。なお、不純物領域(GOLD領域)5025、5028は、第1の導電層5020a、5024aとそれぞれ重なったままである。

【0075】

このようにして、本実施例は、第1の導電層と重ならない不純物領域(LDD領域)5033～5034と、第1の導電層と重なる不純物領域(GOLD領域)5025、5028を同時に形成することができ、TFT特性に応じた作り分けが可能となる。

【0076】

次いで、レジストからなるマスクを除去した後、ゲート絶縁膜5007をエッチング処理する。ここでのエッチング処理は、エッチングガスに CHF_3 を用い、反応性イオンエッチング法(RIE法)を用いて行う。本実施例では、チャンバー圧力6.7 [Pa]、RF電力800 [W]、 CHF_3 ガス流量35 [sccm]で第3のエッチング処理を行った。これにより、高濃度不純物領域5016～5019の一部は露呈し、ゲート絶縁膜5007a～5007dが形成される。

【0077】

次に、新たにレジストからなるマスク5035を形成して第3のドーピング処

理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記第1の導電型（n型）とは逆の第2の導電型（p型）を付与する不純物元素が添加された不純物領域5036を形成する（図12（C））。第1の導電層5030aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。

【0078】

本実施例では、不純物領域5036はジボラン（ B_2H_6 ）を用いたイオンドーピング法で形成する。なお、この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク5035で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域5036にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0079】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。なお、本実施例では、ゲート絶縁膜をエッチングした後で不純物（B）のドーピングを行う方法を示したが、ゲート絶縁膜をエッチングしないで不純物のドーピングを行っても良い。

【0080】

次いで、レジストからなるマスク5035を除去して図13（A）に示すように第1の層間絶縁膜5037を形成する。この第1の層間絶縁膜5037としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200[nm]として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150[nm]の酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜5037は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0081】

次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を

行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1 [ppm] 以下、好ましくは0. 1 [ppm] 以下の窒素雰囲気中で4 0 0 ~ 7 0 0 [°C]、代表的には5 0 0 ~ 5 5 0 [°C]で行えばよく、本実施例では5 5 0 [°C]、4 時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。

【 0 0 8 2 】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したNiが高濃度のPを含む不純物領域にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

【 0 0 8 3 】

また、第1の層間絶縁膜5 0 3 7を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜5 0 3 7（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

【 0 0 8 4 】

その他、活性化処理を行った後でドーピング処理を行い、第1の層間絶縁膜5 0 3 7を形成させても良い。

【 0 0 8 5 】

さらに、3 ~ 1 0 0 [%]の水素を含む雰囲気中で、3 0 0 ~ 5 5 0 [°C]で1 ~ 1 2 時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3 [%]の含む窒素雰囲気中で4 1 0 [°C]、1 時間の熱処理を行った。この工程は層間絶縁膜5 0 3 7に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【 0 0 8 6 】

また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を

行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0087】

次いで、図13（B）に示すように第1の層間絶縁膜5037上に有機絶縁物材料から成る第2の層間絶縁膜5038を形成する。本実施例では膜厚1.6[μm]のアクリル樹脂膜を形成した。次いで、各不純物領域5016、5018、5019、5036に達するコンタクトホールを形成するためのパターニングを行う。

【0088】

第2の層間絶縁膜5038としては、珪素を含む絶縁材料や有機樹脂からなる膜を用いる。珪素を含む絶縁材料としては、酸化珪素、窒化珪素、酸化窒化珪素を用いることができ、また有機樹脂としては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）などを用いることができる。

【0089】

本実施例では、プラズマCVD法により形成された酸化窒化珪素膜を形成した。なお、酸化窒化珪素膜の膜厚として好ましくは1～5[μm]（さらに好ましくは2～4[μm])とすればよい。酸化窒化珪素膜は、膜自身に含まれる水分が少ないためにEL素子の劣化を抑える上で有効である。

また、コンタクトホールの形成には、ドライエッチングまたはウェットエッチングを用いることができるが、エッチング時における静電破壊の問題を考えると、ウェットエッチング法を用いるのが望ましい。

【0090】

さらに、ここでのコンタクトホールの形成において、第1層間絶縁膜5037及び第2層間絶縁膜5038を同時にエッチングするため、コンタクトホールの形状を考えると第2層間絶縁膜5038を形成する材料は、第1層間絶縁膜5037を形成する材料よりもエッチング速度の速いものを用いるのが好ましい。

【0091】

そして、各不純物領域5016、5018、5019、5036とそれぞれ電氣的に接続する配線5039～5044を形成する。ここでは、膜厚50[nm]の

Ti 膜と、膜厚 5 0 0 [nm] の合金膜 (Al と Ti との合金膜) との積層膜をパターンニングして形成するが、他の導電膜を用いても良い。

【0092】

以上のようにして、nチャネル型 TFT、pチャネル型 TFT を有する駆動回路と、画素 TFT、保持容量を有する画素部とを、同一基板上に形成することが出来る。本明細書中では、このような基板をアクティブマトリクス基板と表記する。

【0093】

また、保持容量については、ゲート導電膜の形成前に、必要部分に選択的に不純物のドーピングを行い、容量を形成しても良い。この方法によると、フォトリジスト用のマスクが 1 枚増えることになるが、バイアスをかけることなく保持容量を形成することが出来る。

【0094】

続いて、第 3 の層間絶縁膜 5 0 4 5 を形成する。この工程においては、続く画素電極の形成のために、TFT を形成している面の平坦化を行うためのものでもある。よって、平坦性に優れた、アクリル等の樹脂膜からなる絶縁膜で形成するのが望ましい。次いで、その上に MgAg 膜を形成し、パターンニングすることによって、画素電極 (反射電極) 5 0 4 6 を形成する (図 1 3 (C))。

【0095】

一方、対向基板 5 0 4 7 を用意する。図 1 4 (A) に示すように、対向基板 5 0 4 7 にはカラーフィルタ層 5 0 4 8 ~ 5 0 5 0、オーバーコート層 5 0 5 1 を形成する。カラーフィルタ層は、TFT の上方で、異なる色のカラーフィルタ 5 0 4 8、5 0 4 9 を重ねて形成し、遮光膜を兼ねる構成とする。なお、各色のカラーフィルタ層は、樹脂に顔料を混合したものを扱い、1 ~ 3 [μm] の厚さで形成する。これには感光性の材料を使い、マスクを用いて所定のパターンに形成することが出来る。同時に、このカラーフィルタ層を利用して、スペーサを形成する (図示せず)。これは、カラーフィルタを重ねて形成することによって形成すれば良い。スペーサの高さは、オーバーコート層 5 0 5 1 の厚さ 1 ~ 4 [μm] を考慮することにより、2 ~ 7 [μm]、好ましくは 4 ~ 6 [μm] とすることが出来、

この高さにより、アクティブマトリクス基板と対向基板とを貼り合わせた際のギャップを形成する。オーバーコート層 5 0 5 1 は、光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂等を用いれば良い。

【0096】

オーバーコート層 5 0 5 1 を形成した後、透明導電膜でなる対向電極 5 0 5 2 をパターニング形成する。その後、アクティブマトリクス基板、対向基板ともに、配向膜 5 0 5 3 を形成し、ラビング処理を行う。

【0097】

その後、アクティブマトリクス基板と対向基板とを、シール剤 5 0 5 5 で貼り合わせる。シール剤 5 0 5 5 にはフィラーが混入されており、このフィラーとスペーサによって、2 枚の基板が均一な間隔をもって貼り合わせられる。続いて、両基板の間に液晶材料 5 0 5 4 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料 5 0 5 4 としては、公知の液晶材料を用いれば良い。以上のようにして、図 1 4 (A) に示すようなアクティブマトリクス型液晶表示装置が完成する。

【0098】

なお、上記の工程により作成されるアクティブマトリクス型液晶表示装置における T F T はトップゲート構造をとっているが、ボトムゲート構造の T F T や、その他の構造の T F T に関しても、本実施例は容易に適用され得る。また、画素電極を透明導電膜によって形成することによって、透過型の表示装置とすることも出来る。

【0099】

また、本実施例においてはガラス基板を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用する場合にも実施が可能である。

【0100】

[実施例 5]

本発明の表示装置には様々な用途がある。本実施例では、本発明の表示装置を組み込んだ電子機器の応用例について説明する。

【 0 1 0 1 】

このような電子機器には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ、プロジェクタ装置等が挙げられる。それらの一例を図 1 5 および図 1 6 に示す。

【 0 1 0 2 】

図 1 5 (A) は液晶ディスプレイ (LCD) であり、筐体 3 3 0 1、支持台 3 3 0 2、表示部 3 3 0 3 等を含む。本発明の表示装置は表示部 3 3 0 3 にて用いることが出来る。

【 0 1 0 3 】

図 1 5 (B) はビデオカメラであり、本体 3 3 1 1、表示部 3 3 1 2、音声入力部 3 3 1 3、操作スイッチ 3 3 1 4、バッテリー 3 3 1 5、受像部 3 3 1 6 等を含む。本発明の表示装置は表示部 3 3 1 2 にて用いることが出来る。

【 0 1 0 4 】

図 1 5 (C) はパーソナルコンピュータであり、本体 3 3 2 1、筐体 3 3 2 2、表示部 3 3 2 3、キーボード 3 3 2 4 等を含む。本発明の表示装置は表示部 3 3 2 3 にて用いることが出来る。

【 0 1 0 5 】

図 1 5 (D) は携帯情報端末であり、本体 3 3 3 1、スタイラス 3 3 3 2、表示部 3 3 3 3、操作ボタン 3 3 3 4、外部インターフェイス 3 3 3 5 等を含む。本発明の表示装置は表示部 3 3 3 3 にて用いることが出来る。

【 0 1 0 6 】

図 1 6 (A) は携帯電話であり、本体 3 4 0 1、音声出力部 3 4 0 2、音声入力部 3 4 0 3、表示部 3 4 0 4、操作スイッチ 3 4 0 5、アンテナ 3 4 0 6 を含む。本発明の表示装置は表示部 3 4 0 4 にて用いることが出来る。

【 0 1 0 7 】

図 1 6 (B) は音響再生装置、具体的にはカーオーディオであり、本体 3 4 1 1、表示部 3 4 1 2、操作スイッチ 3 4 1 3、3 4 1 4 を含む。本発明の表示装置は表示部 3 4 1 2 にて用いることが出来る。また、本実施例では車載用オーディオ

ィオを示すが、携帯型もしくは家庭用の音響再生装置に用いても良い。

【 0 1 0 8 】

図 1 6 (C) はデジタルカメラであり、本体 3 5 0 1、表示部 (A) 3 5 0 2、接眼部 3 5 0 3、操作スイッチ 3 5 0 4、表示部 (B) 3 5 0 5、バッテリー 3 5 0 6 を含む。本発明の表示装置は、表示部 (A) 3 5 0 2、表示部 (B) 3 5 0 5 にて用いることが出来る。

【 0 1 0 9 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例 1 ～実施例 4 に示したいずれの構成を適用しても良い。

【発明の効果】

本発明により、外部コントローラ L S I 等の定駆動電圧化に対応し、かつ低消費電力化を実現する表示装置の駆動回路を提供することが出来る。

【図面の簡単な説明】

- 【図 1】 本発明の表示装置の駆動回路の概略図。
- 【図 2】 レベルシフタおよび電流源の回路図。
- 【図 3】 本発明の表示装置の駆動回路構成の一例を示す図。
- 【図 4】 表示装置の駆動回路の動作タイミングチャートを示す図。
- 【図 5】 本発明の表示装置の駆動回路構成の一例を示す図。
- 【図 6】 本発明の表示装置の駆動回路構成の一例を示す図。
- 【図 7】 本発明の表示装置の駆動回路構成の一例を示す図。
- 【図 8】 表示装置の駆動回路の動作タイミングチャートを示す図。
- 【図 9】 本発明以前の表示装置の駆動回路の概略図。
- 【図 1 0】 レベルシフタおよび電流源の回路図。
- 【図 1 1】 表示装置の作成工程例を示す図。
- 【図 1 2】 表示装置の作成工程例を示す図。
- 【図 1 3】 表示装置の作成工程例を示す図。
- 【図 1 4】 表示装置の作成工程例を示す図。
- 【図 1 5】 本発明を適用した電子機器の例を示す図。

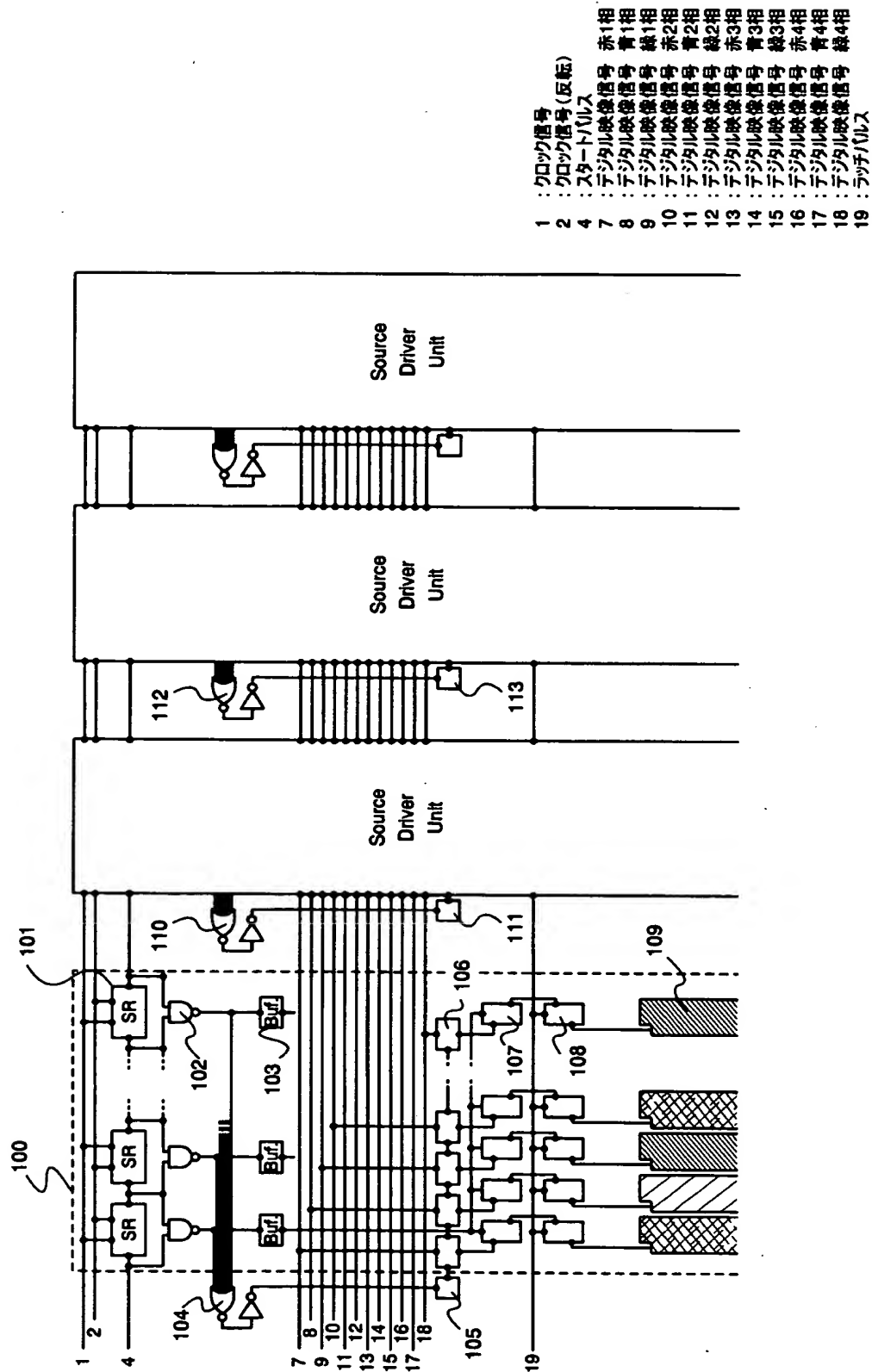
【図 1 6】 本発明を適用した電子機器の例を示す図。

特 2 0 0 0 - 3 2 2 1 2 1

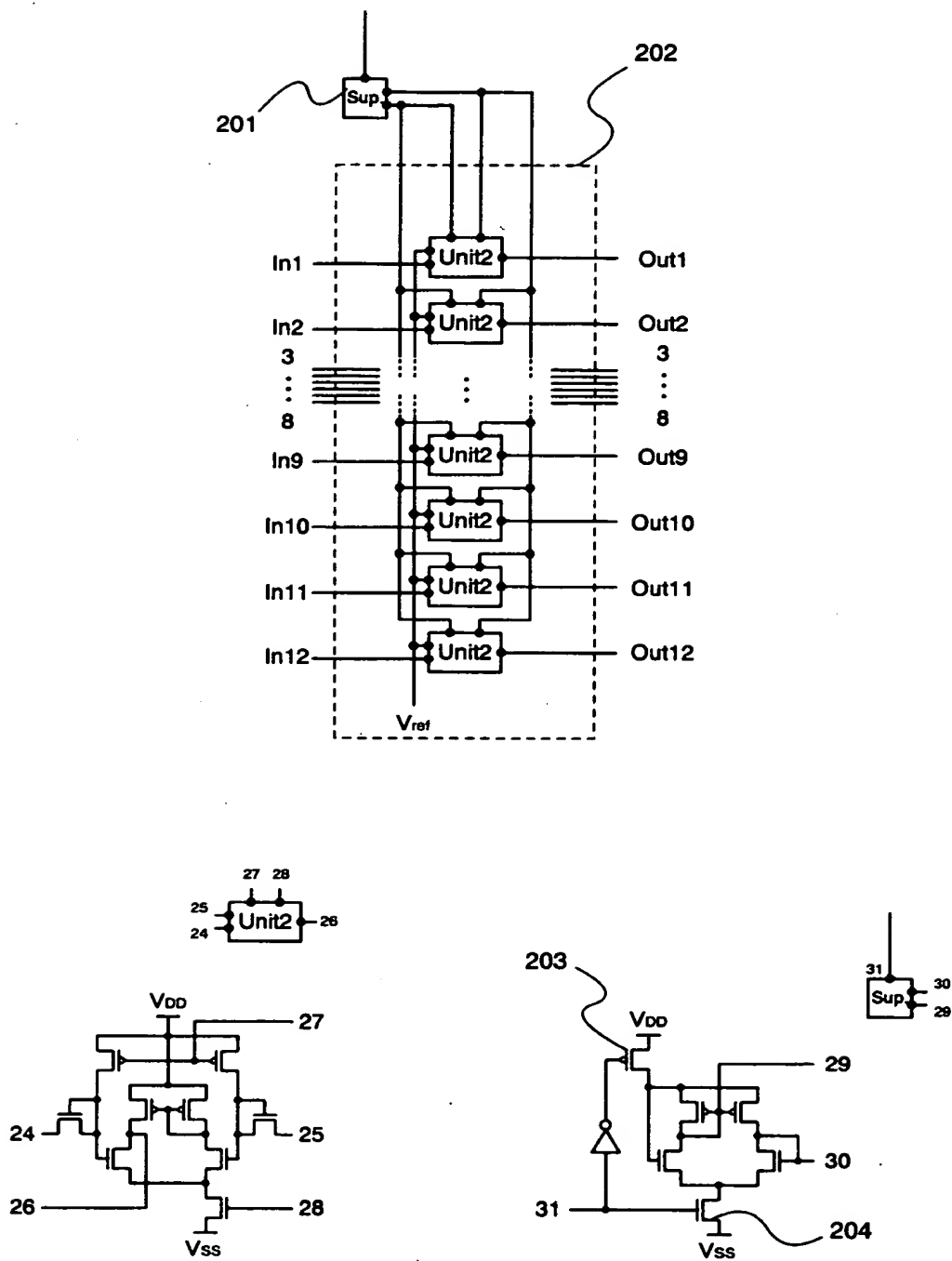
【書類名】

図面

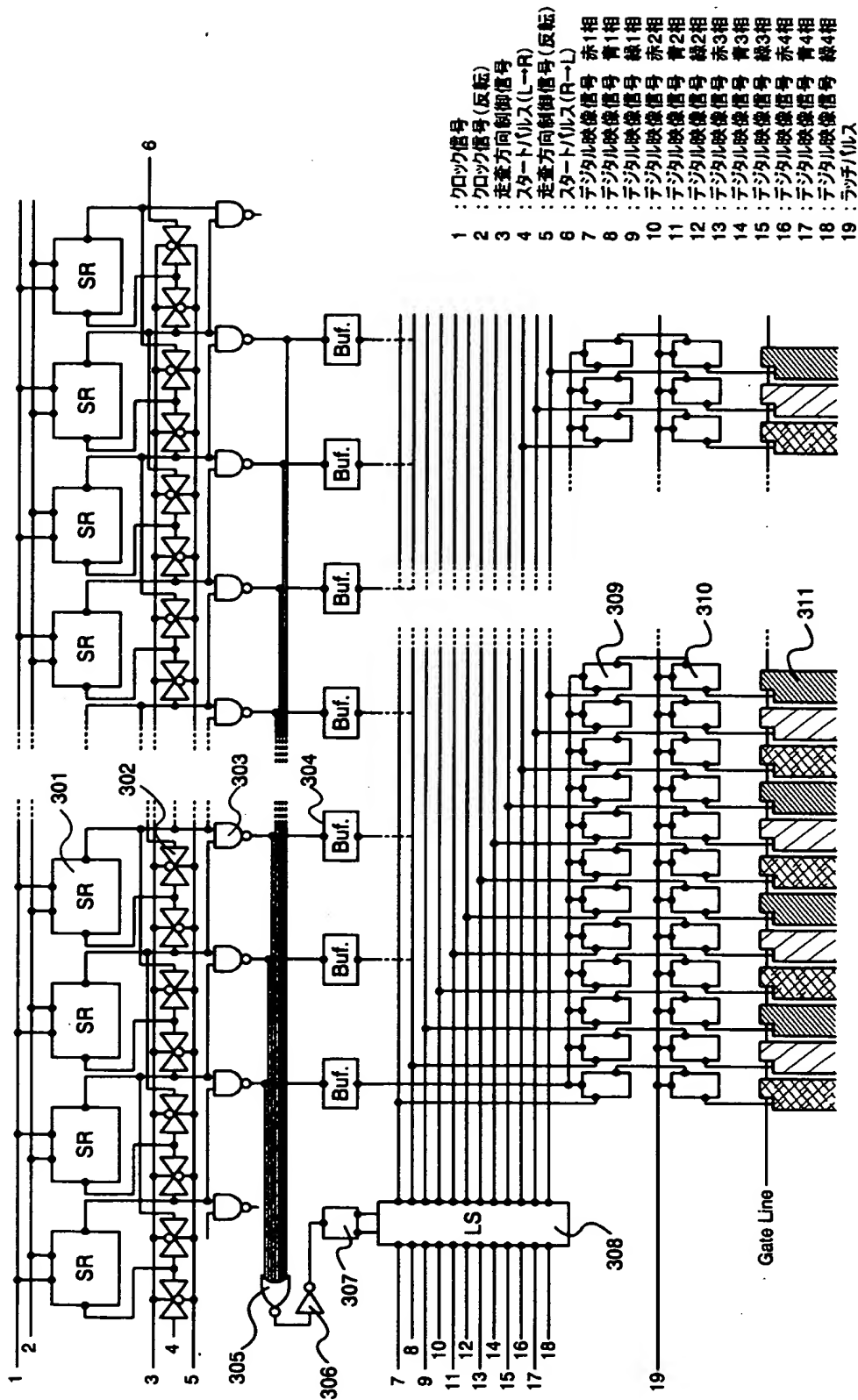
【図 1】



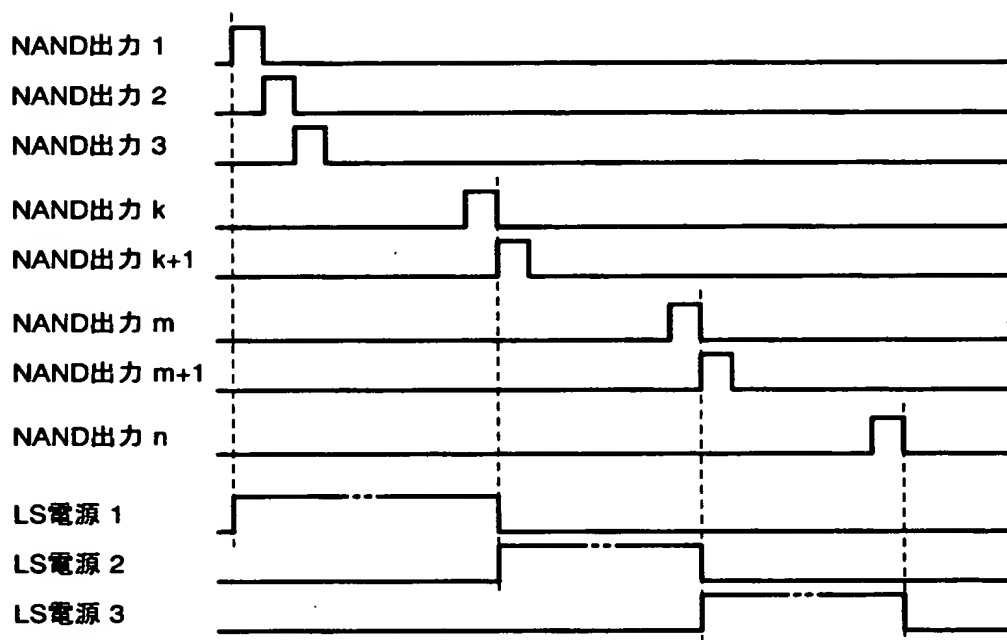
【図 2】



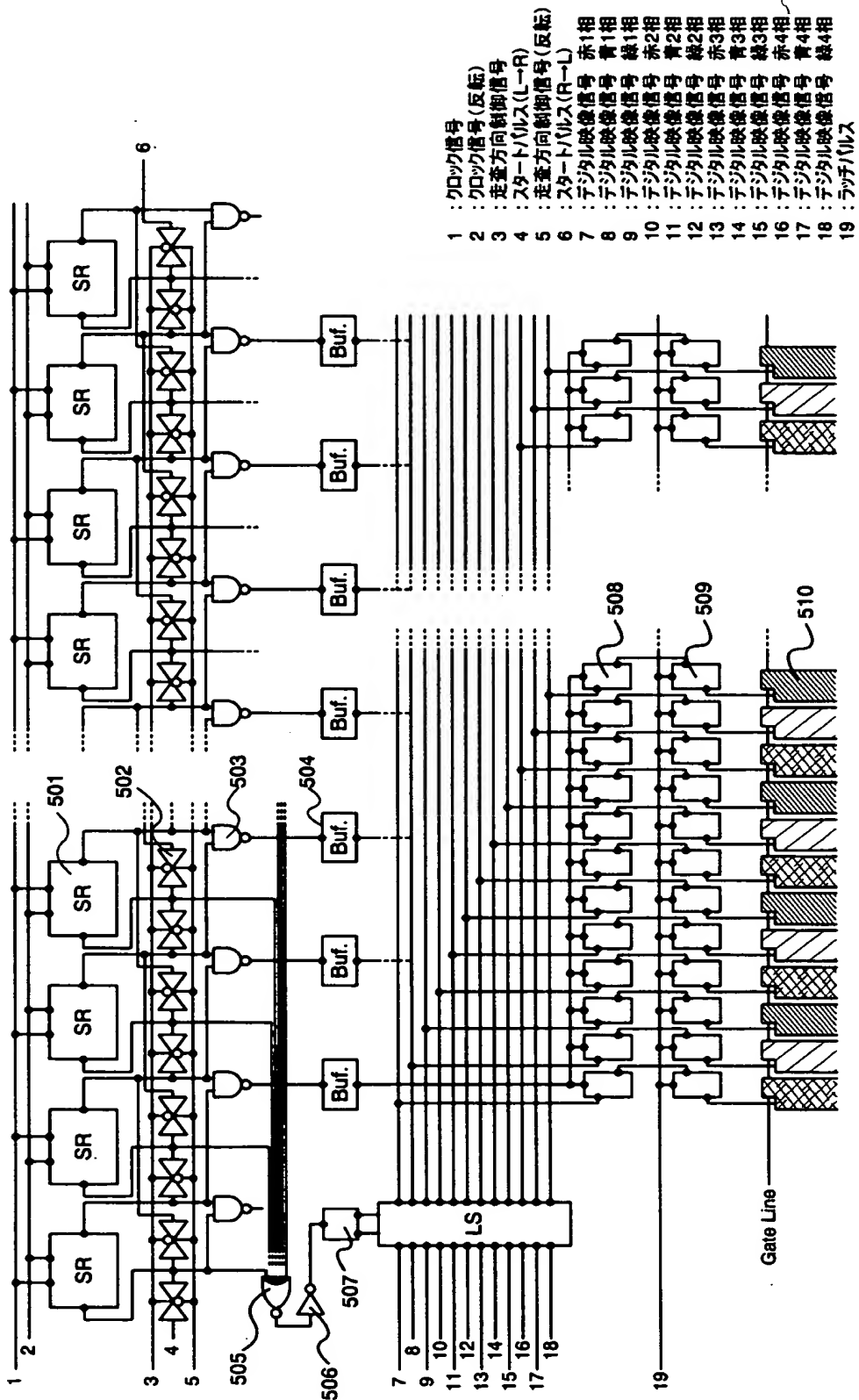
【図 3】



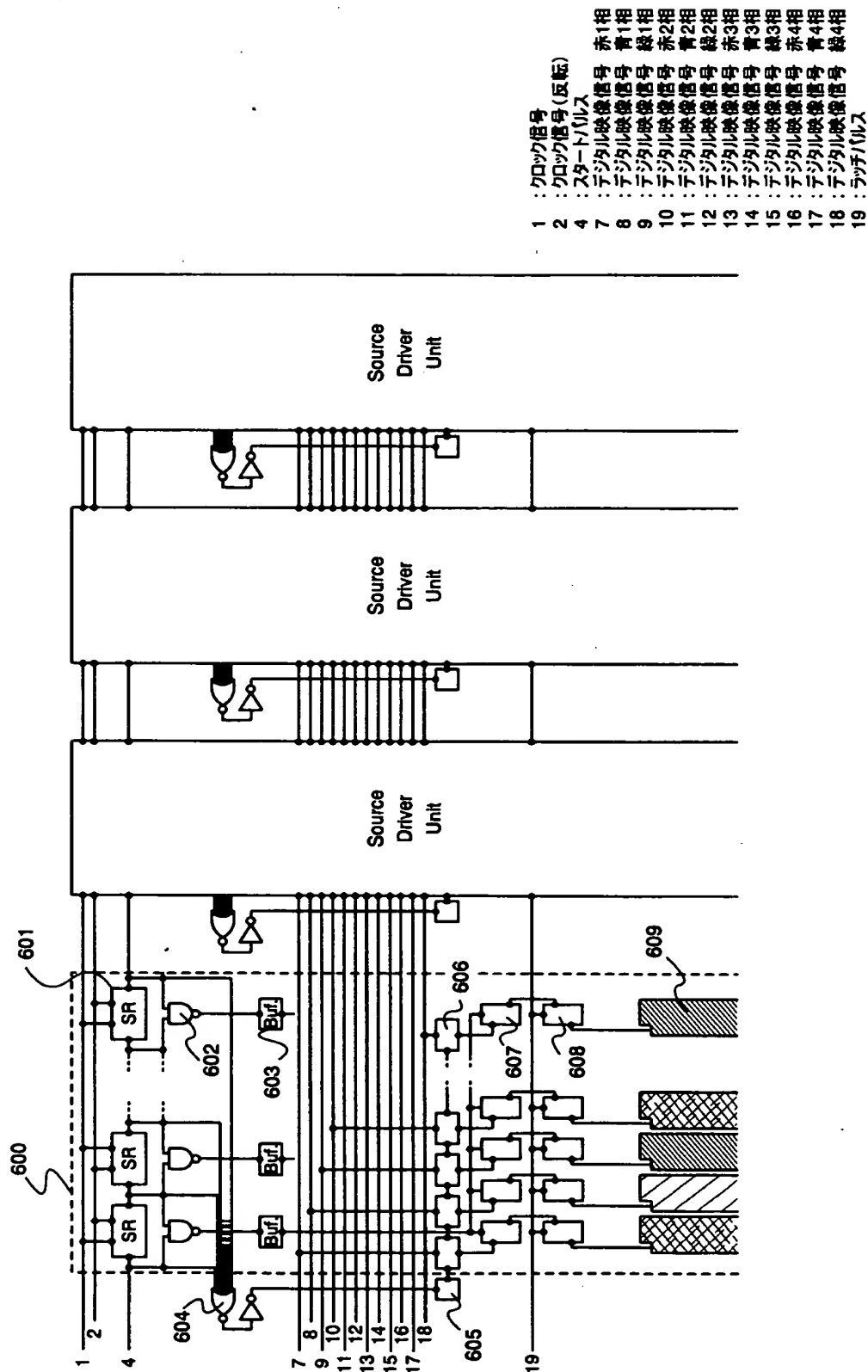
【図 4】



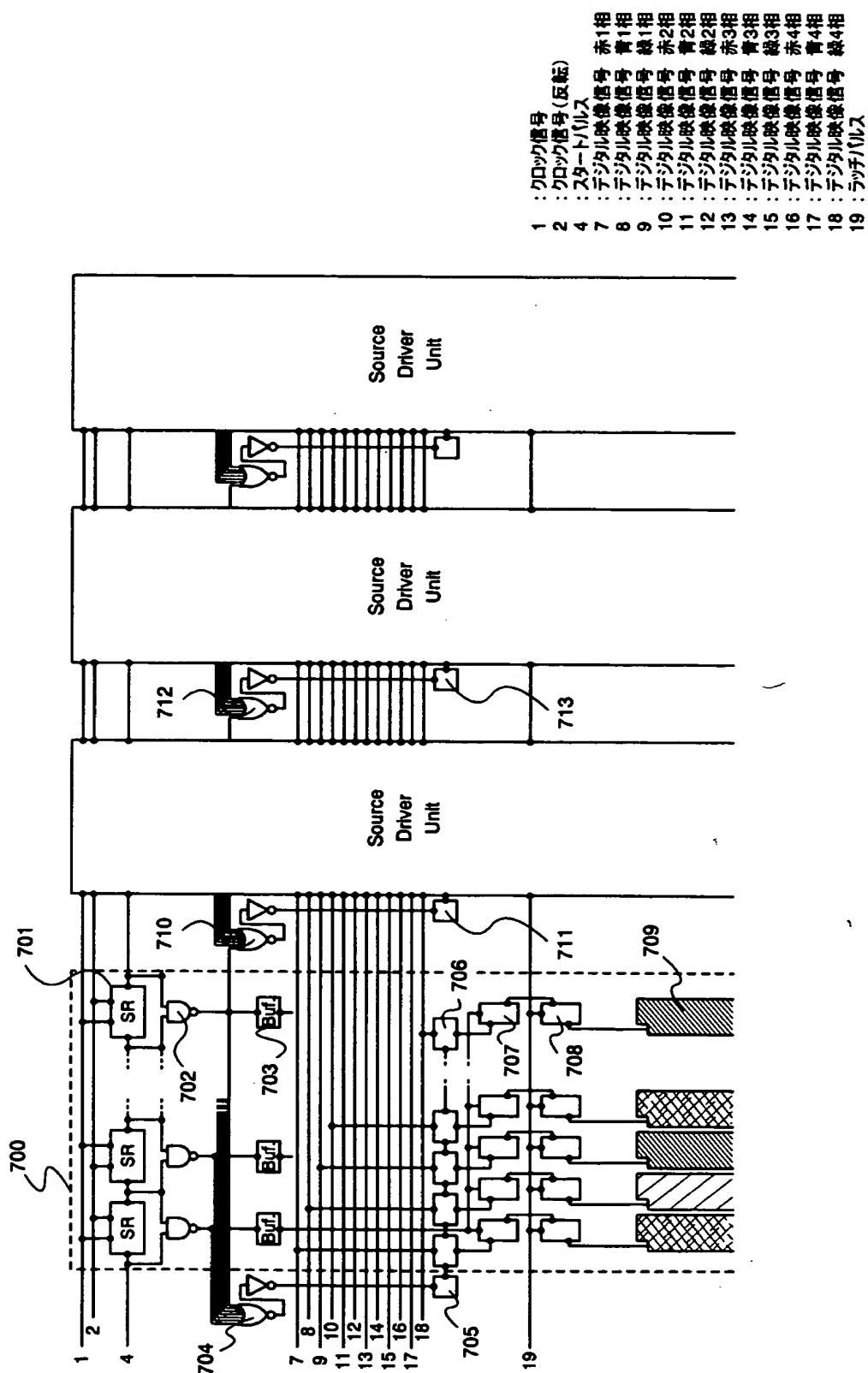
【図 5】



【図 6】

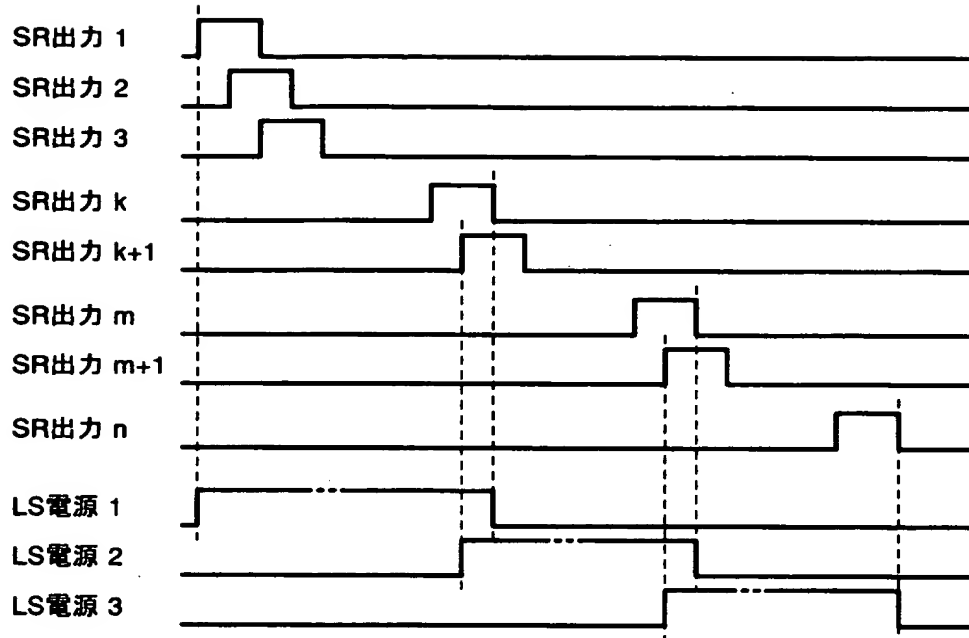


【图 7】

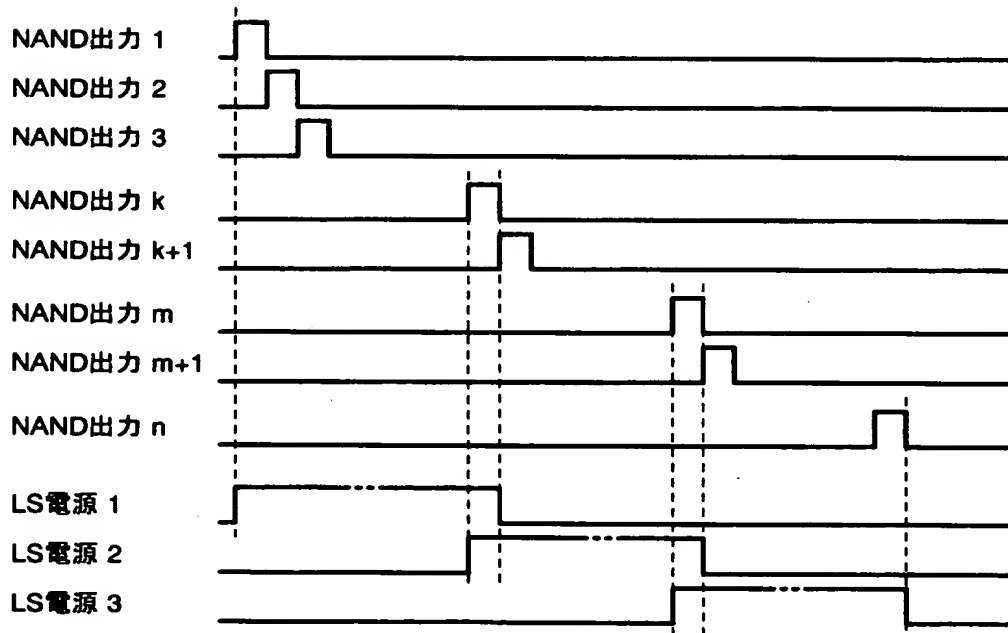


【図 8】

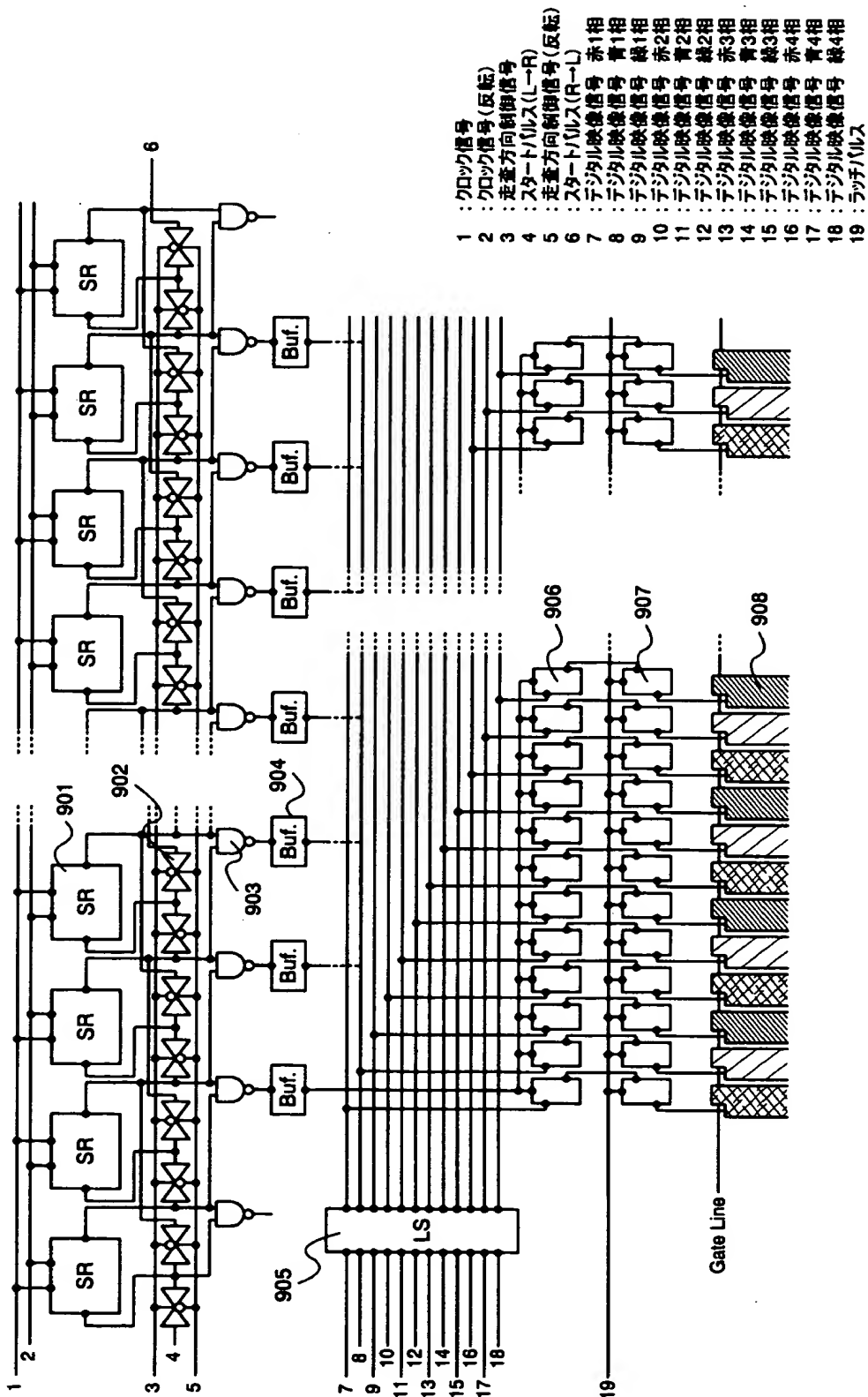
(A)



(B)

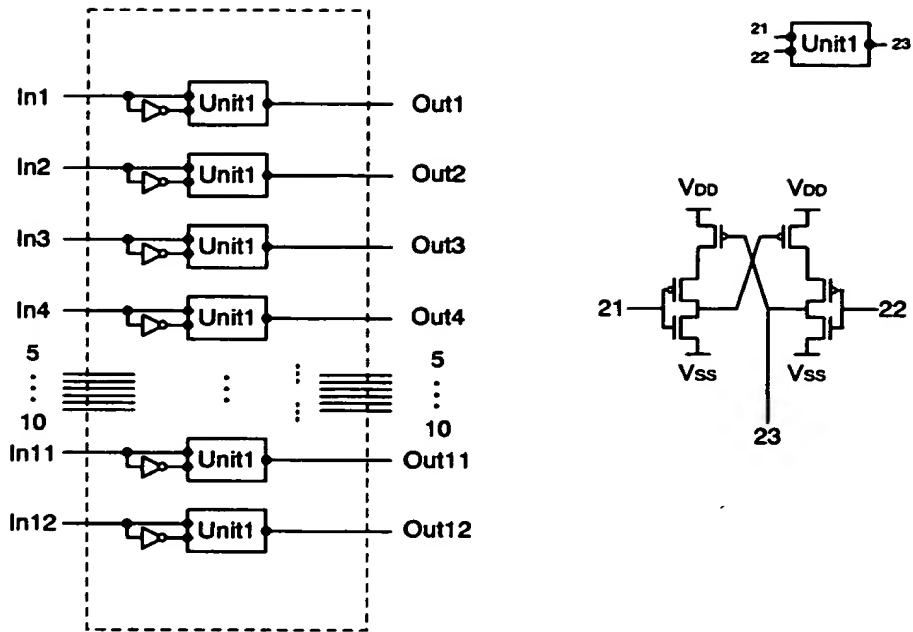


【図9】

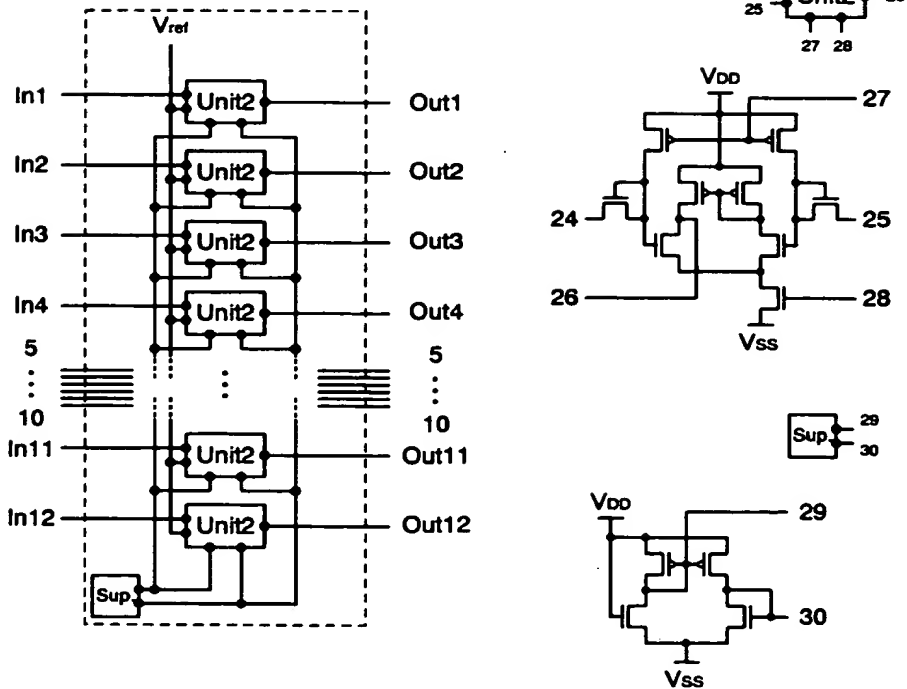


【図 1 0】

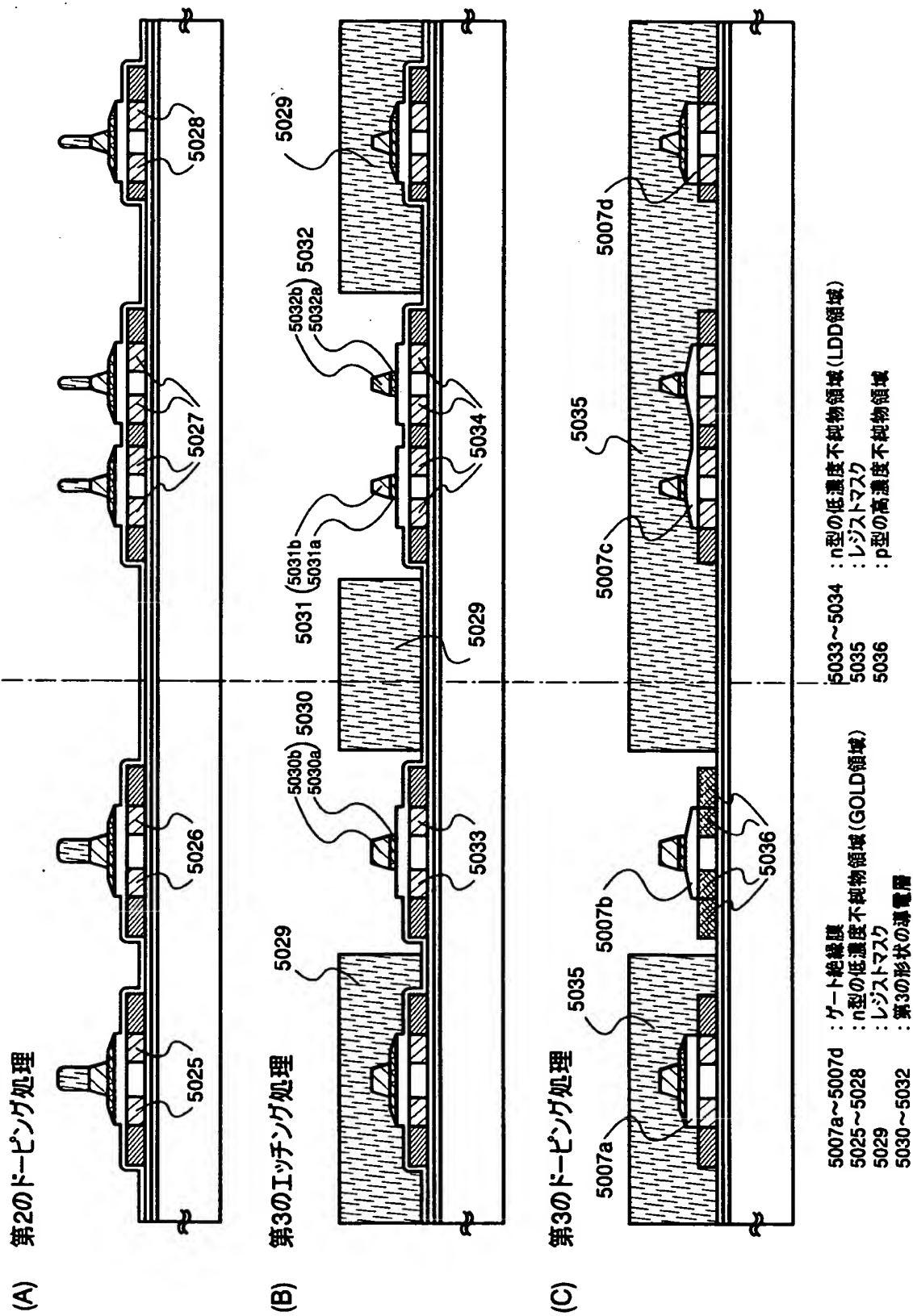
(A)



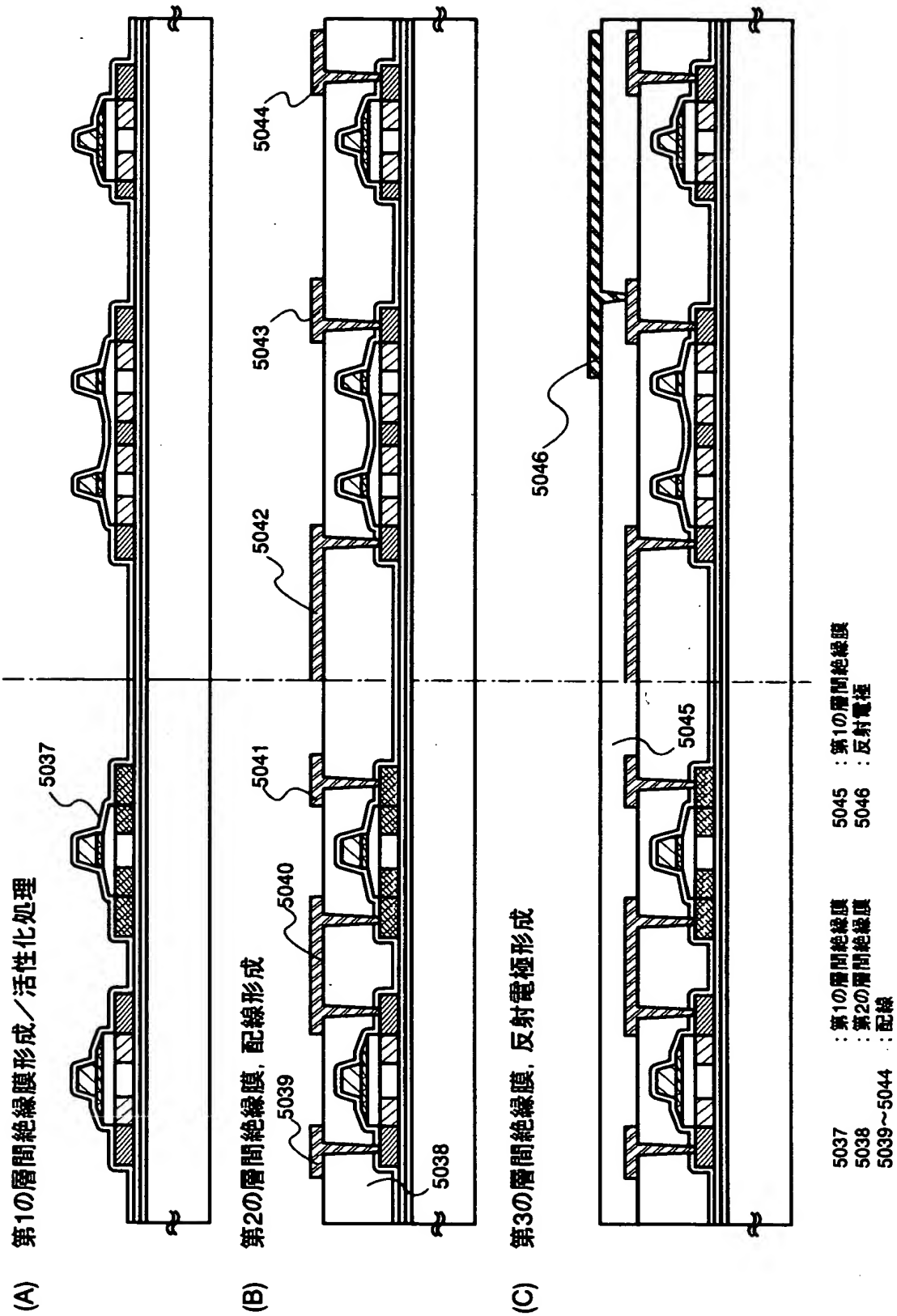
(B)



【図12】

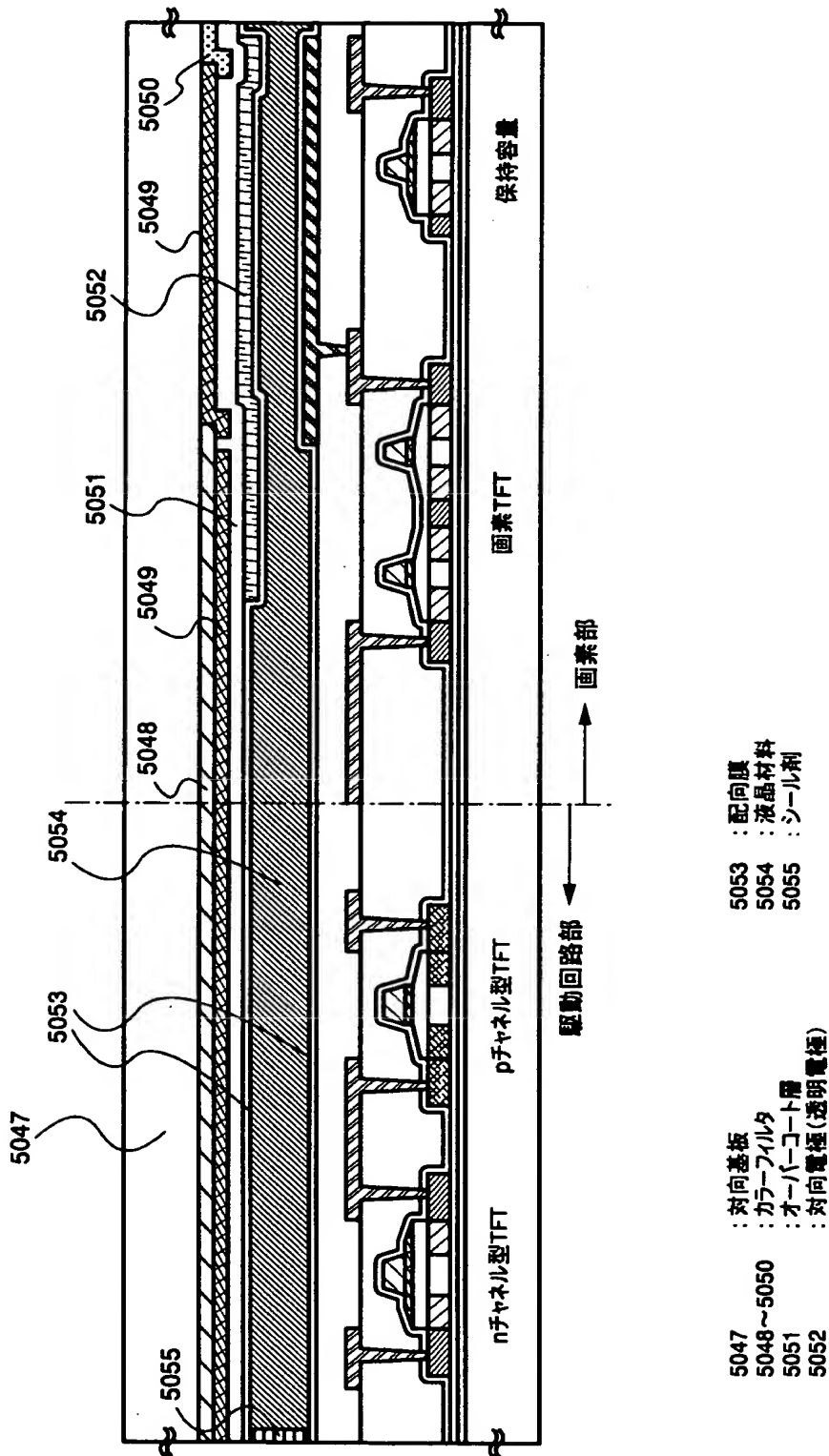


【図13】



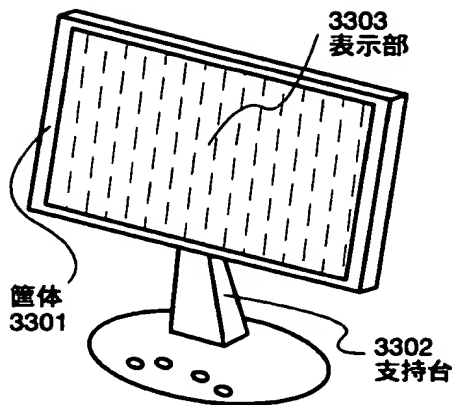
【図14】

(A) 対向基板側形成／液晶材料封入

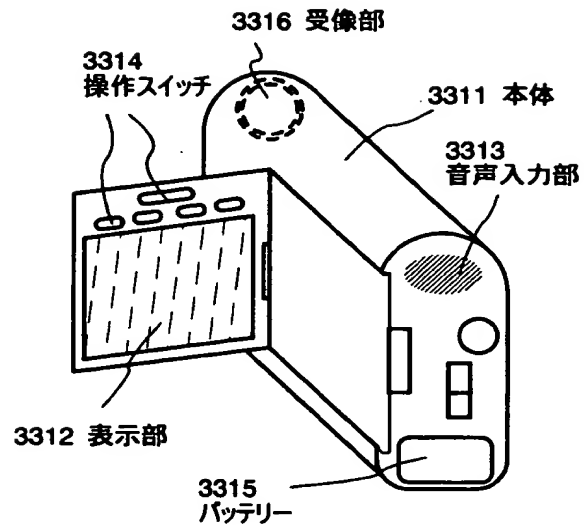


【図 15】

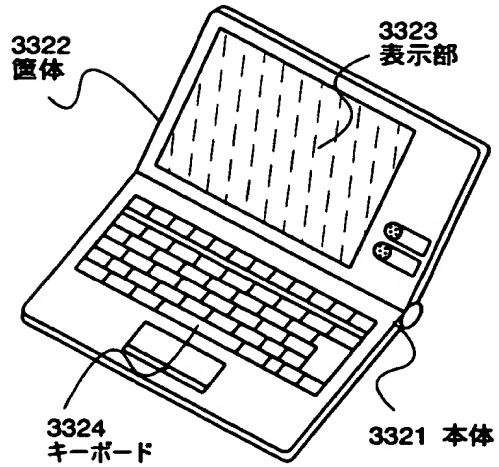
(A)



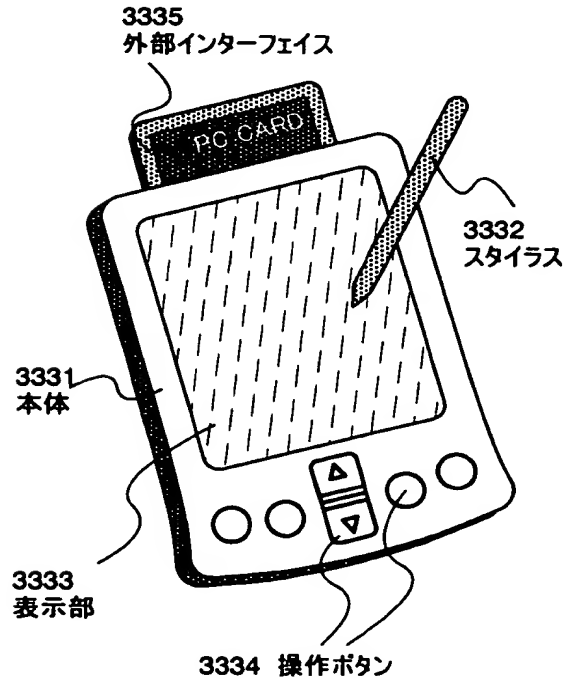
(B)



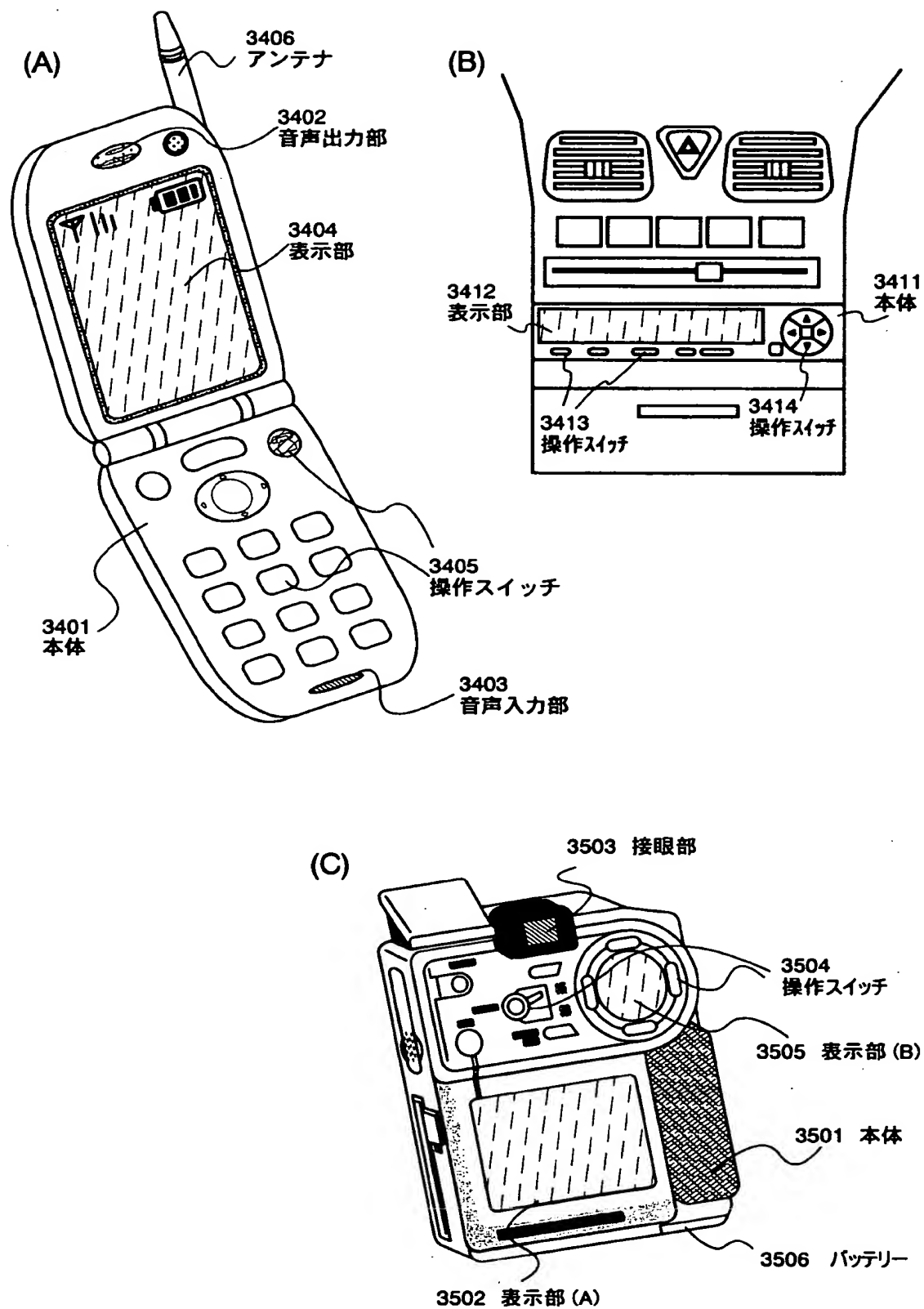
(C)



(D)



【図 1 6】



【書類名】 要約書

【要約】

【課題】 低電圧振幅の信号の確実なレベル変換が可能なレベルシフタを用いつつ、低消費電力化を実現する表示装置の駆動回路を提供する。

【解決手段】 ソース信号線駆動回路を複数段のユニットに分割し、シフトレジスタ等から出力されるパルスによって、各ユニットのレベルシフタへの電流供給源の動作のON・OFF制御を行う。ソース信号線が停止している期間には、シフトレジスタからはパルスが出力されないため、動作している段のシフトレジスタを含むユニットにのみ電流供給がされ、低消費電力化が可能となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所